

文章编号:1001-9081(2008)03-0776-03

## 基于部分向量复用和变游程编码的二级 SoC 测试压缩

邵晶波<sup>1</sup>, 马光胜<sup>1</sup>, 张瑞雪<sup>2</sup>

(1. 哈尔滨工程大学 计算机科学与技术学院, 哈尔滨 150001; 2. 哈尔滨金融高等专科学校 计算机系, 哈尔滨 150040)

(ttsmonica@yahoo.com.cn)

**摘要:**提出了一种适用于基于核的 SoC 测试数据压缩的新方法, 先将不同待测核对应的测试集中的测试向量部分重叠起来, 形成一个重叠向量, 对这个重叠向量进行变游程编码(VRL), 以进一步压缩测试向量。由于测试应用时间与重叠向量的长度成正比, 而重叠向量的长度要远小于原始测试向量的长度总和, 从而减少了测试时间。变游程编码最大化了压缩效率。实验结果表明, 与已有的算法相比, 该方法减少了测试应用的时间, 提高了数据的压缩率。

**关键词:**部分向量复用; 变游程编码; 重叠向量

**中图分类号:** TP391.76 **文献标志码:** A

## Two level core test compression based on partial test vector reuse and VRL coding

SHAO Jing-bo<sup>1</sup>, MA Guang-sheng<sup>1</sup>, ZHANG Rui-xue<sup>2</sup>

(1. College of Computer Science & Technology, Harbin Engineering University, Harbin Helongjiang 150001, China;

2. Department of Computer, Harbin High Financial College, Harbin Helongjiang 150040, China)

**Abstract:** A new scheme for core based System-on-a-Chip (SoC) test compression was presented. All the test vectors belonging to distinct test sets were partially overlapped to form overlapped vectors as short as possible. Variable-Run-Length (VRL) coding was utilized to further compress the result overlapped test vectors. Due to the fact that test application time is proportional to the length of the overlapped vector, except that the length of the overlapped vector is far smaller than the sum of the length of the original individual test vectors, minimal test application time can be obtained. Compression ratio was maximized through VRL coding. Experimental results indicate that the proposed method achieves reduced test application time and significant compression rate in comparison with the existing methods.

**Key words:** partial test vector reuse; Variable-Run-Length (VRL) coding; overlapped test vector

### 0 引言

IC 制造工艺的不断提高, 使得人们能够将整个系统集成到一个芯片上(System-on-a-Chip, SoC)。SoC 规模和复杂度的不断提高, 使得 SoC 的测试数据量急剧飙升, 而单纯依靠提高 ATE 的性能来满足测试数据的存储需求已变得不现实, 因而研究如何进行划算的 IC 设计成为设计者要考虑的首要问题。SoC 测试数据压缩一直是业界人士研究的重点。

近年来, 先后出现了各种测试压缩方法。基于编码的测试数据压缩方法有 Golomb 编码等<sup>[1]</sup>, 变游程编码同时处理测试数据中连续出现的“0”和“1”提高了编码效率<sup>[2]</sup>; 文献[3]研究了扫描测试中的测试压缩方法和解压缩方法, 文献[4, 5]探究了基于 BIST 的测试压缩方法, 文献[4]提出了基于重播种和 Golomb 编码的二维测试数据压缩方法, 先用重播种技术对测试立方压缩, 然后用 Golomb 编码的方法对压缩过的测试向量进一步压缩, 从而减少测试时间、降低测试向量的宽度; 文献[6]用线形反馈移位寄存器 (Linear Feedback Shift Register, LFSR) 来产生伪随机测试向量, 去检测易测的故障, 而对于硬故障的测试集, 先对其进行压缩, 然后尽量使用最少的折叠种子, 来展开生成测试向量序列, 这样, 可将测试集嵌入到折叠计数器的所有生成序列中去; 双重种子压缩方案融合了折叠计数器和 LFSR 重新播种的优点, 可压缩测试向量

数和测试向量宽度<sup>[7]</sup>; 核间向量重叠法可对单扫描链结构的核进行测试压缩<sup>[8]</sup>。测试响应与测试向量重叠的设计方案可降低全扫描结构的测试成本<sup>[9,10]</sup>, 基于测试压缩的多核并行测试对测试数据进行二次压缩<sup>[11]</sup>; 文献[12]中提出了基于多种压缩方法的多级 SoC 测试压缩方法。

本文提出了一种新的核测试数据压缩方法。汲取了基于多种压缩方案的多级测试压缩模式<sup>[13]</sup>的思想, 分两级对核测试数据进行压缩。考虑到应尽量减少测试应用时间, 把测试不同核的测试向量重叠起来, 形成一个初级压缩的重叠向量, 然后采用变游程编码对这个重叠向量进行二次压缩, 从而得到较短的结果测试向量。

### 1 二级测试压缩方案概述

文献[8-10]采用向量重叠法来减少测试时间, 依托于向量复用的观点, 本文采用基于多模式匹配的方法构造重叠向量, 然后对构造好的重叠向量进行变游程编码, 既考虑了向量中连续出现的“0”, 又考虑了向量中连续出现的“1”, 进而生成一个高度紧缩的测试向量。

重叠向量法的压缩效率可表示为:

$$\rho = \bar{A}/A = \sum_{j=1}^n (k - m_i) = \frac{nk - \sum_{j=1}^n m_i}{nk} = 1 - \frac{\sum_{j=1}^n m_i}{nk}$$

收稿日期: 2007-10-09; 修回日期: 2007-11-30。 **基金项目:** 国家自然科学基金资助项目 (60273081)。

**作者简介:** 邵晶波 (1979-), 女, 黑龙江人, 博士研究生, 主要研究方向: VLSI 验证与测试; 马光胜 (1944-), 男, 山东招远人, 教授, 博士生导师, 主要研究方向: 计算机辅助设计、电子设计自动化; 张瑞雪 (1978-), 女, 黑龙江人, 讲师, 硕士, 主要研究方向: 计算机视觉与听觉。

其中,  $\bar{A}$  是重叠向量的长度,  $A$  为原始测试向量长度的总和,  $k$  为单个向量的长度(即待测电路的扫描单元数),  $n$  为测试向量个数。可见,  $\sum_{j=1}^n m_i$  的值越大, 测试压缩率  $\rho$  就越高。本文的二级测试压缩方案如图 1 所示。

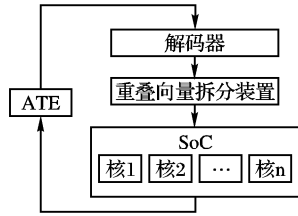


图1 二级 SoC 测试压缩方案

其中经过二级压缩的测试数据存放在自动测试装置(Automatic Test Equipment, ATE)中, 在测试时, 解码器将压缩好的测试向量解码, 这样每组压缩的数据被解码为一个单个的重叠向量, 然后再由重叠向量拆分装置将该向量拆分成各个核对应的测试向量, 施加到各个向量对应的待测电路上, 对各个待测核进行测试。

## 2 重叠向量的生成算法

### 2.1 重叠向量的生成

设集合  $P = \{p_1, \dots, p_{NT}\}$  是一组测试向量(模式)的集合( $NT$  为待测电路中的测试向量个数, 它的值应为待测电路中扫描链数  $SC$  与扫描单元数  $NS$  的乘积), 集合  $\Sigma = \{0, 1\}$ , 每个模式  $P_{NS}$  由源自字符集合  $\Sigma$  的字符串组成。目标是由  $P$  生成一个从左至右包含且仅包含一次  $P$  中每个模式的文本串  $T = T[1 \dots n]$ , 且满足  $n < NT \cdot NS$  ( $NS$  为待测电路中的扫描单元个数)。为了讨论方便起见, 假设所研究的 SoC 由  $m$  个待测核构成, 且所有核的测试集中的测试向量等长为  $NS$ 。

重叠向量生成算法的伪代码如下:

Algorithm: Overlapped-Vector-Generation ()

```

{
  Input: pattern set P
  Output: overlapped vector
   $P_h = \text{pick-one-vector}()$ ;
  //pick-one-vector from set P randomly
   $cov = P_h$ ; //set  $P_h$  to current overlapped vector cov
   $i = 2$ ;
   $ptr = i$ ;
  While ( P is not empty )
  {
    Partial-Overlapping ( pattern ) {
      if( match( (  $P_i(1, j)$ ,  $P_h(i, NS)$  ) ) && (  $i \leq NS$  ) )
      {
        copy( (  $P_i(j + 1, NS)$ ,  $P_h(NS + 1, 2NS - j)$  ) );
         $P = P/P_h$ ; //remove  $P_h$  from P
        break;
      }
      else  $i++$ ;
       $ptr++$ ;
      // ptr points to the starting position of cov from which some
      pattern in P matches
    }
    MPM ( cov ); //call multiple pattern matching algorithm
    if ( ! match(  $P_k$ , cov ) )
      Partial-Overlapping (  $P_k$  );
  }
}

```

先从测试向量集中随机选出一个模式  $P_h$ , 把它作为当前重叠向量  $cov$ , 从  $P$  中删掉  $P_h$ , 从  $cov$  的第二位开始, 找  $P$  中从左至右依次与前者匹配的某个  $P_i$ , 若不存在这样的  $P_i$ , 指针  $ptr$  右移一位, 依次类推, 直到找到这样的  $P_i$ , 然后将不匹配的部分追加到的  $cov$  尾部。再调用多模式匹配算法<sup>[13]</sup>, 从而得到重叠效率最高的重叠向量。

### 2.2 基于变游程编码的重叠向量的二级测试压缩

文献[2]提出了一种基于变游程编码的测试数据压缩方法, 该方法同时处理数据中出现的游程“0”和游程“1”两种游程, 与以往的只考虑一种游程的算法相比, 本文的算法所得的测试数据压缩率的提高很明显。本文将经过一级压缩的测试数据继续用变游程编码方式进行压缩, 从而得到压缩率最大化的测试数据。

### 2.3 解码器的设计

解码器设计包括两个部分, 一是解码部分 Decoder, 负责将经过二级压缩的数据还原为重叠向量; 二是向量拆分部分 Splitter, 负责将重叠向量拆分为各个核对应的测试向量。解码器设计结构框架如图 2 所示。

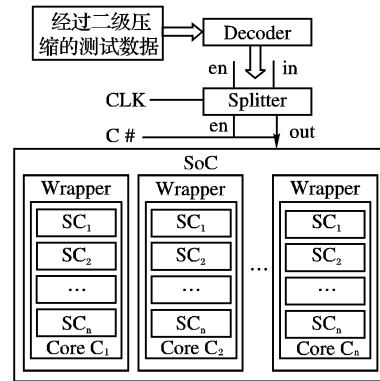


图2 解码器结构

解码部分 Decoder 由一个 FSM、两个计数器和一个异或门组成<sup>[2]</sup>, Splitter 由 CLK、C#、输入时能信号 en 和输出时能信号 en 组成, Decoder 的输出作为它的输入, 时钟 CLK 控制何时将要拆分的向量部分送入到目的核, 而 C#指出了目标核的核号, 由于待测核的测试向量等长, 不必设定向量长度控制器, 直接由 CLK 控制每  $NS$  个节拍将分离的测试向量送入目标核。

## 3 实验结果

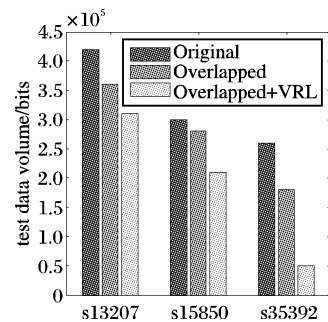


图3 三种 SoC 上实现的二级测试压缩结果比较

选取了飞利浦集成电路 p93791、p34392、p22810 三种 SoC (分别含有 18 个、15 个和 6 个待测核) 做实验, 图 3 为在这三种核上实现的二级测试数据压缩结果比较。Original 为原始数据量, Overlapped 为经过测试向量复用后的数据量, Overlapped + VRL 为将复用后的测试向量再进行变游程编码

后的测试数据量。从图 3 中可以看出,经过二级测试压缩后,测试数据量有效减少,其中核 s35392 上的测试数据压缩比率最高。

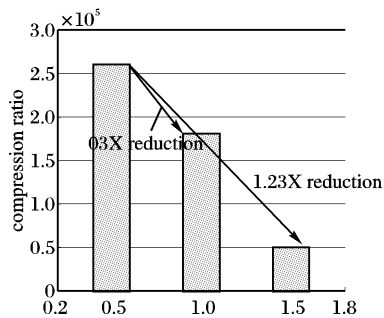


图 4 核 s35952 上的测试数据压缩率

表 1 各种算法在不同 SoC 上的实验结果比较

SoC( #cores)	Approach	#Ori-TV	#Red-TV	Com-ratio/%	测试用时间(周期)		
					TAM = 56	TAM = 40	TAM = 24
P93791(18)	文献[1]	253 871	82 254	32.4	867 415	1 904 686	1 991 724
	文献[2]	684 390	353 145	51.6	986 518	1 967 264	1 998 236
	文献[5]	92 437	19 873	21.5	951 923	1 965 643	2 031 437
	本文方法	190 384	117 466	61.7	854 127	1 903 562	2 031 642
P34932(15)	文献[1]	121 714	24 221	19.9	648 923	926 935	996 418
	文献[2]	85 726	29 833	34.8	681 793	976 854	9 930 815
	文献[5]	90 325	24 659	27.3	297 594	3 032 450	3 301 157
	本文方法	132 543	52 354	39.5	3 002 645	3 017 464	3 562 419
P22810(6)	文献[1]	371 282	175 616	47.3	712 434	7 648 213	8 124 652
	文献[2]	735 064	210 228	28.6	843 612	8 620 142	8 917 362
	文献[5]	86 739	27 583	31.8	642 170	7 204 316	7 624 319
	本文方法	306 411	206 521	67.4	641 827	7 359 014	7 503 824

## 4 结语

本文提出了一种基于核的 SoC 的二级测试数据压缩方法,为了最大化测试压缩率,先将测试数据重叠成一个测试向量,然后再使用基于变游程编码的方法把这个重叠的测试向量进一步进行压缩,从而得到压缩率较高的测试数据。为了保证生成的重叠向量最短,给出了重叠向量的生成算法。实验结果证明,本算法与已有算法相比,在测试应用时间和测试压缩率方面具有很大的优越性。

### 参考文献:

- [1] CHANDRA A, CHAKRABARTY K. System-on-a-chip test data compression and decompression architectures based on Golomb codes[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2001, 20(3): 355-368.
- [2] 彭喜元, 俞洋. 基于变游程编码的测试数据压缩算法[J]. 电子学报, 2007, 35(2): 197-201.
- [3] 董婕, 胡瑜, 韩银和, 等. 基于组合解压缩电路的多扫描链测试方法[J]. 计算机研究与发展, 2006, 43(6): 1001-1007.
- [4] 胡兵, 陈光蹊, 谢永乐. 使用重复播种和 Golomb 编码的二维测试数据压缩[J]. 计算机辅助设计与图形学学报, 2005, 17(3): 394-399.
- [5] 梁华国, 蒋翠云. 基于交替与连续长度码的有效测试数据压缩和解压[J]. 计算机学报, 2004, 27(4): 548-554.
- [6] 梁华国, 聚贝勒, 海伦布昂特, 汉斯-耶西姆, 冯特利希. 一种基于折叠计数器重新播种的确定自测试方案[J]. 计算机研究与发

展, 2001, 38(8): 931-938.

在集成电路 s35952 上实现的二级测试数据压缩的压缩率见图 4。从图 4 中可以看出, 经过重叠后的数据压缩了 30%, 进而继续对重叠向量进行压缩, 得到的测试数据较原始数据相比压缩了 1.23 倍。表 1 为不同算法间的实验结果比较。其中 Approach 为所用的方法, #Ori-TV 为该种 SoC 上在对测试向量进行压缩之前的测试向量数, #Red-TV 是用本文的算法进行压缩后减少的测试向量数, 第六列分别为在不同的带宽(TAM = 56, 40, 24)下测试应用时间需求(单位为时钟周期数), Com-ratio 为测试压缩率。本文的方法与参考文献[1]、[2]和[4]相比, 测试压缩率、测试用时间结果比较见表 1。表中可以看出, 本算法的平均测试压缩率达 56%, 测试应用时间明显优于文献[1]、[2]和[4]的时间耗费。

- [7] 梁华国, 蒋翠云. 使用双重种子压缩的混合模式自测试[J]. 计算机研究与发展, 2004, 41(1): 214-220.
- [8] SHINOGI T, YAMADA Y, HAYASHI Ti, et al. Between-core vector overlapping for test cost reduction in core testing[C]// Proceedings of the Twelfth Asian Symposium, ATS 2003. CA, USA: IEEE Computer Society, 2003: 268-273.
- [9] SHINOGI T, YAMADA Y, HAYASHI T, et al. Parallel core testing with multiple scan chains by test vector overlapping[C]// 2005 IEEE VLSI-TSA International Symposium on VLSI Design, Automation and Test. Hsinchu, Taiwan: Institute of Electrical and Electronics Engineers Computer Society, 2005: 204-207.
- [10] SHINOGI T, YAMADA H, HAYASHI T, et al. A test cost reduction method by test response and test vector overlapping for full-scan test architecture[C] // Proceedings of the Asian Test Symposium Calcutta, India: Institute of Electrical and Electronics Engineers Computer Society, 2005: 366-369.
- [11] 于静, 梁华国, 蒋翠云. 基于测试向量压缩的多核并行测试[J]. 计算机学报, 2007, 19(2): 210-214.
- [12] LINGAPPAN L, RAVI S, RAGHUNATHAN A, et al. Test-volume reduction in Systems-on-a-chip using heterogeneous and multi-level compression techniques [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006, 25(10): 2193-2206.
- [13] 李伟男, 鄂跃鹏, 葛敬国, 等. 多模式匹配算法及硬件实现[J]. 软件学报, 2006, 17(12): 2403-2415.