

低成本网络数据传输存储系统的 FPGA 实现

何毅华, 易清明, 石 敏

(暨南大学 电子工程系, 广州 510632)

(jnuheyihua@sohu.com)

摘 要: 三维 LED 显示阵列显示一帧立体图像需要很大的图像数据, 针对它的数据可靠传输的问题, 提出了一种一对多远程网络数据传输存储系统的具体连接和实现方案。该方案应用了现场可编程门阵列 (FPGA) 以及 Verilog HDL 编程技术, 结合了 Intel 28FJ3A 系列 Flash 芯片和 DM9000A 以太网控制芯片, 实现了立体图像的同步显示和储存, 网络传输速度可以达到 100 Mbps, 具有低成本、低功耗、高速率等特点。

关键词: 数据存储; 现场可编程门阵列; Verilog HDL; DM9000A

中图分类号: TP302.2 **文献标志码:** A

Implementation of low cost network data transmission and storage system based on FPGA

HE Yi-hua, YI Qing-ming, SHI Min

(Department of Electronic Engineering, Jinan University, Guangzhou Guangdong 510632, China)

Abstract: A connectivity and realization method for the one-to-many remote network data transmission and storage was introduced in this paper. 3D LED display array needs large size data to display a stereopicture. This method was used in 3D LED display array to resolve data secure transmission problem. Combining the Intel 28FJ3A series Flash and Ethernet control chip DM9000A, it applied the Field-Programmable Gate Array (FPGA) and Verilog HDL programming technology to the system, implemented synchronic display and storage of stereograph, and reached 100 Mbps in the network transmission. Testing shows that the system is of low-cost, low-power and high-speed.

Key words: data storage; Field-Programmable Gate Array (FPGA); Verilog HDL; DM9000A

0 引言

三维 LED 显示技术是 LED 显示发展的一个新的方向, 传统的 LED 显示屏都是一个平面, 只能显示平面的图像和动画, 而三维 LED 显示阵列是一个由 LED 组成的立方体, 可以显示出全 3D 的立体图形和动画, 在户外广告和教学仪器上都有很大的应用前景。

由于是三维的阵列, 显示立体图像需要的数据量是平面的几十倍, 因此, 要实现户外同步动画显示和离线动画显示就必须要有有一套便捷高速有效的数据传输存储方案。以太网技术不仅连接方式灵活方便、开放性好, 而且高效、低廉, 已经广泛地应用于各种计算机网络, 并且还在不断地发展。但是, 传统上对以太网控制芯片和现场可编程门阵列 (Field-Programmable Gate Array, FPGA) 之间的数据转发都是采用单片机或者 SOPC 来进行的, 这样相对来说就增加了系统的成本。断电保存数据的理想选择之一是 Flash 存储器。Flash 存储器不需要定时刷新即可保持数据, 支持在线电可擦除和编程, 是兼有紫外线擦除存储器和电可擦除可编程存储器两者优点的低功耗非易失性存储器, 已经广泛应用于数据采集、信号处理等领域。

本文提出了一种利用 FPGA 接收远程网络广播数据同时将数据转存到 Flash 存储器的实现方法, 实现了以太网控制芯片和 FPGA 的直接结合, 增加了灵活性的同时降低了成本。由于采用广播的形式, 因此, 一台主机发送数据, 可以同时让

多个终端显示系统接收到数据进行更新和显示。该系统的控制核心是一片 Altera 公司的 Cyclone 系列 EP1C6Q240C8 型 FPGA, 对网络广播数据的接收和对 Flash 的控制都是通过 FPGA 来实现。

1 以太网控制芯片 DM9000A 工作原理简介

DM9000A 是 Davicom 公司生产的一款功能强大的以太网控制器^[1], 支持 10 M/100 Mbps 以太网速率, 具有体积小、功耗低、配置灵活、使用简单等特点。

DM9000A 功能结构框如图 1 所示。DM9000A 实现了以太网媒体介质访问层 (MAC) 和物理层 (PHY) 所需的绝大部分功能。DM9000A 可与微处理器以 8 位或 16 位的总线方式连接, 并可根据需要以单工或全双工等模式运行。在系统上电时, 处理器通过总线配置 DM9000A 内部网络控制寄存器 (NCR)、中断寄存器 (ISR) 等, 完成 DM9000A 的初始化。随后, DM9000A 进入数据收发等待状态。

2 28FJ3A 系列 Flash 存储器简介

Intel 公司的 28FJ3A 系列 Flash 存储器采用每单元两位 (two-bit-per-cell) 存储技术^[2], 使用户在低价格、小体积空间上获得高密度数据存储。

28FJ3A 具有快速高效的特点, 它具有写缓冲 (write buffer) 模式和异步页读 (Asynchronous Page Mode) 模式, 数据

收稿日期: 2009-06-22; 修回日期: 2009-08-24。

基金项目: 广东省 2007 年科技攻关重点专项项目 (2007A010100007); 广州市 2007 年科技攻关项目 (2007Z3-D3101)。

作者简介: 何毅华 (1986-), 男, 浙江义乌人, 硕士研究生, 主要研究方向: 通信信号处理、ASIC 设计; 易清明 (1965-), 女, 湖南岳阳人, 副教授, 博士, 主要研究方向: 信号处理、ASIC 设计; 石敏 (1977-), 女, 湖北襄樊人, 副教授, 博士, 主要研究方向: 图像处理、IC 设计。

宽度可在 8 位和 16 位之间选择;写入时采用写缓冲模式(平均速度可达 $6.8 \mu\text{s}/\text{Byte}$),读出时利用异步页读模式最快的单个数据(平均读出时间为 56.25 ns)。28FJ3A 系列存储器

的内部存储空间均匀分成若干个大小为 128 KB 的块,每个块可单独进行擦除和编程,数据更新时不必对整个存储芯片擦除,提高更新效率。

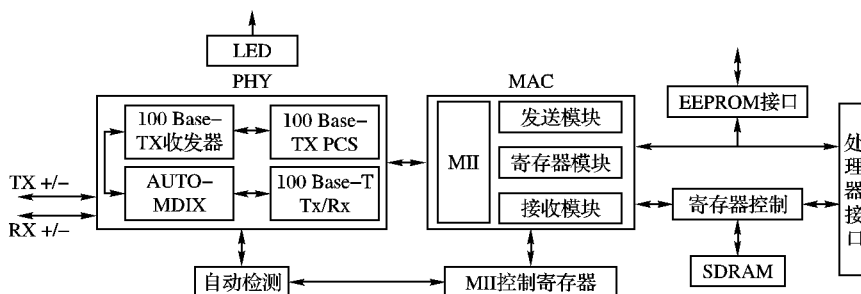


图 1 DM9000A 功能结构

3 系统设计

3.1 系统硬件框架

系统的整体框架如图 2 所示,系统的核心为 Altera 公司的 Cyclone 系列 FPGA,型号为 EP1C6Q240C8。系统设计为了实现高速的网络数据的接收处理,抛弃了传统的利用单片机在 FPGA 和以太网控制器之间进行数据转发的相对低速的传输方式。FPGA 实现了包括以太网接口在内的所有的功能,直接控制以太网控制器进行网络数据的接收以及解析,同时将处理完毕的数据实时的存入 Flash 内,提高了数据存储的效率。

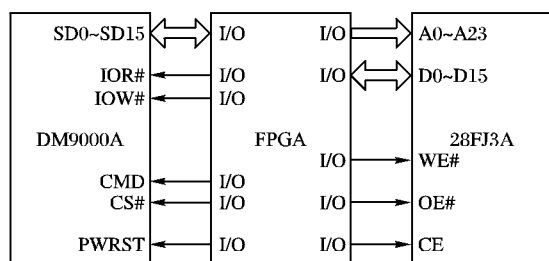


图 2 硬件结构

与其他微处理器不同,FPGA 的 I/O 管脚不分数据线、地址线,每个管脚功能由用户在编程时指定。因此电路设计具有很大的灵活性,只要把 DM9000A 和 Flash 的地址线、数据线、控制信号分别与 FPGA 的一个 I/O 管脚连接,FPGA 编程时对使用的管脚进行功能约束即可。这里要注意的是,如果对 Flash 的操作选择 16 位,只需要把地址线 A0 悬空便可。^[4]

FPGA 的一端接 Intel 公司的 J3 系列 Flash 存储芯片,另一端接以太网控制芯片 DM9000A。系统的对外以太网接口采用的是传统的 RJ45 接口,可以和带有内部 PHY 层的以太网控制芯片直接连接,DM9000A 的外部总线符合 ISA 标准。可通过 ISA 总线直接与 FPGA 实现无缝连接。

3.2 DM9000A 控制程序设计实现

DM9000A 控制程序分为 3 个部分:以太网控制芯片的初始化部分,网络数据帧的读取部分,网络数据帧解包部分。

3.2.1 初始化模块

为了启动 DM9000A,并让其进入正常的收发数据工作状态,首先要对 DM9000A 进行初始化操作,关键是对 DM9000A 内部相关寄存器的设定,这些设定包含了 DM9000A 的工作模式等信息。^[5]

初始化步骤如下:1)激活内部 PHY 层电路;2)对芯片进行两次软复位;3)关闭内部 PHY 层电路然后再次将它激活;4)设置 PHY 层的操作模式;5)存储芯片 MAC 地址;6)设置

芯片的操作寄存器;7)设置允许中断;8)设置允许接收数据。^[3]

经过以上步骤后,网络芯片初始化便完成了,可以通过 LED 指示灯直观地看到初始化完成的情况。

3.2.2 网络数据帧读取

在 DM9000A 共 16 KB 的内部 SRAM 中有 13 KB 的空间用来作为数据接收缓存区,其地址为 $0x0C00 \sim 0x3FFF$ 。当 DM9000A 接收完一帧数据后就会产生一个接收中断,通过读取中断寄存器的状态可以得知 SRAM 中是否有数据。

网络数据帧的读取流程如下:1)查看中断状态寄存器 ISR,将其值读出。2)如果 PRS 位为 0,则清除 PRS,开始读取接收缓存区数据;如果 PRS 不为 0,则继续查看。3)如果从缓存区读出的第一个字节是 01H,则说明有数据,继续往下读;如果是 00H,则回到第一步;如果为别的值,则表明出现了错误,对芯片进行复位操作^[5]。4)读出帧状态和长度,判断状态信息是否正确,如不正确则丢弃此帧;如正确,则根据长度信息接收数据,接收完一帧数据后返回 2)。

接收流程如图 3 所示。

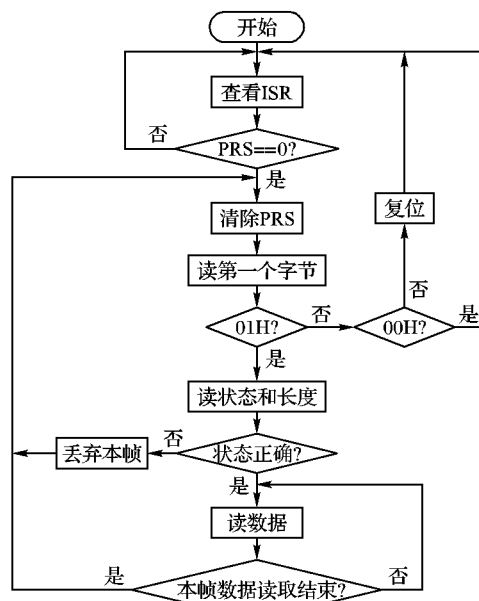


图 3 数据帧接收流程

3.2.3 网络数据帧解包

这是本设计中获取正确数据的关键一步,从 SRAM 读取出来的是一串十六进制码流,你并不知道哪个才是你要的数据,因此,这一步决定了发送端的数据能否正确地识别并且到达接收端。

生活中最常见的一种以太网帧格式是 Ethernet V2 格式, Ethernet V2 帧结构为 6 字节的源地址 + 6 字节的目标地址 + 2 字节的协议类型字段 + 数据, 如图 4 所示。

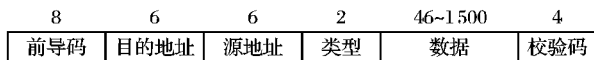


图 4 以太网帧结构

其中常见的协议类型字段值有: 0800, 代表此帧为 IP 数据帧; 0806, 代表此帧为 ARP 请求/应答帧。

由于本设计接收的是广播形式发送的网络数据, 数据在电脑端采用 UDP 方式发送, 因此, 目的地址的值应该为 0xffffffff。同时, 为了过滤掉网络上的其他广播数据包, 电脑软件端的发送端口设定为 3333, 而接收端也设为 3333, 其 16 进制值为 0x050d。网络数据解包流程如图 5 所示, 接收到数据后, 首先对目的地址进行判断, 确认目的地址正确后获取此网络包的协议类型, 如为 IP 包, 则继续处理。接下来获取 IP 包的头长度和总长度。接着获取接收/发送端口号, 并判定这个数据包是不是我们需要的数据包, 这一步很重要, 目的是过滤掉网络上别的广播数据包。

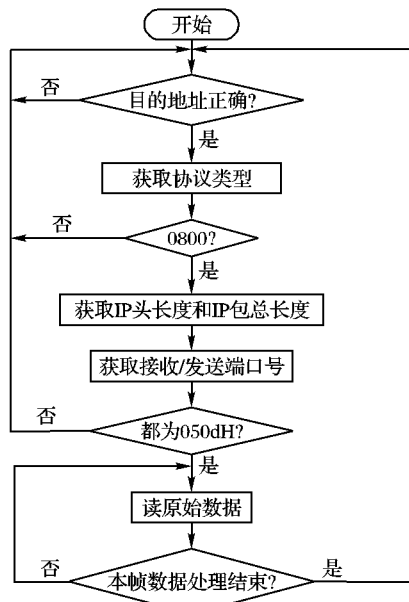


图 5 网络数据帧解包流程

仿真波形如图 6 所示。在真实环境中, 先给系统上电, FPGA 自动加载程序; 然后, 由 PC 主机通过软件向以太网网络发送出一帧广播帧, 广播帧的数据部分为“0528 1744 19a3 b779 0761 …”。在这个仿真中我们模拟了这个数据的发出, 为了验证解包是否正确, 只要看解包出来的帧数据是否和预设发送的相同就可以了。仿真中, “0528H”为原始数据的开始, 由仿真波形可以看到, 程序在上层模块输入“0528H”的时候便开始输出原始数据, 实现了预设的解包和过滤的功能。



图 6 网络数据解包波形仿真

3.3 Flash 存储程序设计实现

从网络接收并解包出来的数据最终都要存储到 Flash 里面, 由于 Flash 存储器在写每个块数据前必须要有一个擦除和预写入的过程, 而网络数据帧是连续的, 因此要将一帧完整的以太网数据直接同步写入 Flash 是不可行的, 必须在 FPGA 内构建一个 RAM 来缓冲实现。这个 RAM 可以看成是一个

独立的模块, 存储程序直接从 RAM 里面读取数据写入 Flash。

28FJ3A 系列存储器在写入数据之前, 需要对写入数据的块进行块擦除操作, 这个操作大概需要 1 s^[4]。由于块擦除时间和缓冲区编程时间的不固定性, 因此, 用时钟计数的方法来满足擦除时间 1 s 和缓冲区编程时间的时序是不可行的。为了解决上述问题, 设计时按照对 Flash 的操作过程设计两个功能独立的状态机部分: 擦除过程状态机和写过程状态机, 通过对写入地址的判断来确定哪个部分的状态机进入工作状态。

Flash 存储流程如图 7 所示。状态机中两个重点信号就是 ADDR 和 SR.7, ADDR 表示的是 Flash 的地址, SR.7 则是 Flash 芯片反馈的繁忙或者空闲的指示信号。ADDR 用于判断该启动擦除操作还是写操作, 每运行完一次写操作, 状态机都会返回初始的 ADDR 判断状态来判断是否需要进行块擦除操作。SR.7 的存在保证了程序和 Flash 的协同工作, 当 Flash 处理完一个指令之后才输入下一个指令。

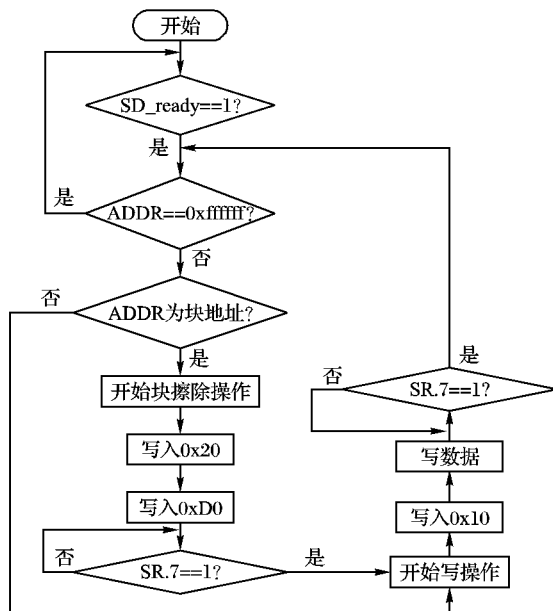


图 7 Flash 存储流程

擦除操作和写操作中都涉及对 Flash 的片选 (CE)、写使能 (WE) 和数据端的赋值。如果不对这些信号进行选择输出, 都直接和 Flash 的端口相连的话, Flash 端的输入就会出现竞争, 不可避免的出现错误。因此, 通过在程序内添加一个多路选择器来解决这个问题, 通过来源于控制操作和写操作的信号来选择输出哪个模块的数据^[4]。

仿真波形如图 8 所示。可以看到, 系统程序开始运行后, 由于 Flash 内部地址寄存器 ADDR 的初始值为“0”, 在复位信号后, 程序便进入擦除状态。存储控制程序发出擦除指令后便开始等待 Flash 擦除操作的完成, CE0 和 WE 按 Flash DataSheet 时序要求置低, Flash 存储操作正确。

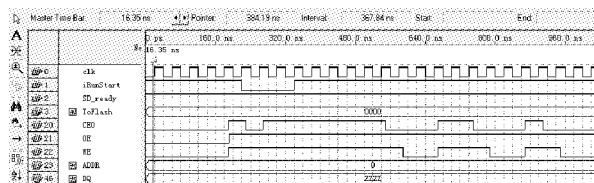


图 8 Flash 启动擦除仿真波形

环数较多时,簇头接收、转发的耗能增量抵消了多跳带来的能效增量。

表 1 最优转发概率

总环数	第一环	第二环	第三环	第四环	第五环	第六环	网络寿命/轮
1	1	—	—	—	—	—	454.0
2	1	0.795 2	—	—	—	—	544.0
3	1	0.291 0	0.632 5	—	—	—	590.5
4	1	0.226 2	0.258 3	0.601 2	—	—	565.0
5	1	0.196 7	0.215 6	0.238 7	0.553 2	—	535.0
6	1	0.179 8	0.193 4	0.211 3	0.228 1	0.498 3	520.0

以下仿真都采用最优参数。

1) 网络寿命与簇头的概率 P 的关系如图 2 所示。

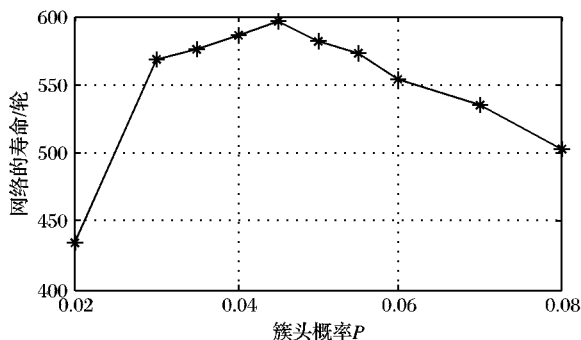


图 2 簇头的概率与生命周期的关系

图 2 中: 当簇头概率 P 较大时, 产生的簇头较多, 由于簇头节点要和基站直接通信, 因此总体耗费了过多的能量; 当 P 较小时, 产生的簇头较少, 部分节点由于和远距离的簇头通信将浪费较多能量, 并且簇头节点也将由于负载过重而过早死亡。

2) 几种分簇协议的比较如图 3 所示。

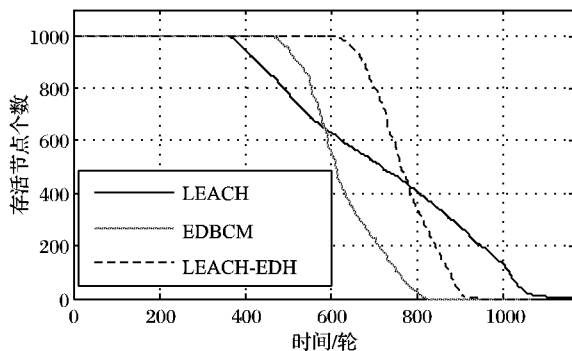


图 3 网络的生命周期

从图 3 中可看出: LEACH-EDH 算法的网络生命周期显然长于其他两种协议, 它比 LEACH 算法的生命周期提高了 50% 以上, 比 EDBCM 算法提高了 35%。这说明了 LEACH-EDH 很好地均衡了网络中所有节点的能量消耗。

6 结语

本文在簇头选举过程, 综合考虑了节点的剩余能量和到基站的位置, 使得剩余能量较大的和离基站较近的节点成为簇头的机会较多。在数据传输阶段采用了混合路由协议, 弥补了多跳和单跳路由协议的不足, 有效地均衡了网络边缘节点和离基站近的节点的能耗。仿真结果表明, 与 LEACH 算法和 EDBCM 算法相比, 该算法优化了网络中的能量消耗, 明显延长了网络的网络寿命。针对每个簇头为其设置不同的转发概率是下一步研究的任务。

参考文献:

- [1] 任丰原, 黄海宁, 林闯. 无线传感器网络[J]. 软件学报, 2003, 14(7): 1282-1291.
- [2] 孙利民, 李建中, 陈渝, 等. 无线传感器网络[M]. 北京: 清华大学出版社, 2006.
- [3] 沈波, 张世永, 钟亦平. 无线传感器网络分簇路由协议[J]. 软件学报, 2006, 17(7): 1588-1600.
- [4] HEINZELMAN W R, CHANDRAKASAN A, BALAKRISHNAN H. Energy-efficient communication protocol for wireless microsensor networks [C]// Proceedings of the 33rd Annual Hawaii International Conference on System Sciences. Maui: IEEE Computer Society, 2000: 3005-3014.
- [5] HANDY M J, HAASE M, TIMMERMAN D. Low energy adaptive clustering hierarchy with deterministic cluster-head selection [C]// 4th International Workshop on Mobile and Wireless Communications Network. Washington, DC: IEEE, 2002: 368-372.
- [6] 胡君, 王雷, 林亚平. 传感器网络中一种基于节点平均能耗的分布式簇头选取算法[J]. 计算机应用, 2007, 27(12): 2979-2981.
- [7] 张磊, 陈曙. 一个新的基于能量和距离的传感器网络协议[J]. 计算机应用, 2008, 28(5): 1117-1119.
- [8] SHU T, KRUNZ M, VRUHULA S. Power balanced coverage-time optimization for clustered wireless sensor networks [C]// ACM International Symposium on Mobile Ad Hoc Networking and Computing. New York: ACM Press, 2005: 25-27.

(上接第 3240 页)

4 结语

本文对 DM9000A 和 28FJ3A 的功能进行了简介, 提出了用 FPGA 作为主控芯片, 实现网络广播数据传输存储的具体方案, 详细说明了如何通过 FPGA 来准确地获取以太网发送端数据并且控制 Flash 存储数据的过程和方法。系统所采用的 FPGA 芯片为 Altera 公司的 CycloneII 系列芯片, 用 Quartus 软件工具开发。语言设计完成后, 进行整体的编译和功能仿真, 然后生成 pof 文件, 最后下载至 FPGA 实验板进行测试。实验结果表明, 本设计完全实现了预定的要求, 成功接收、解包并存储了数据, 传输速率可以达到 100 Mbps, 功能完全达到了设计要求。本系统用 Verilog HDL 语言开发, 具有良好的可移植性和应用前景。

参考文献:

- [1] DAVICOM Semiconductor, Inc. DM9000A datasheet [DB/OL]. [2009-04-10]. <http://www.davicom.com.tw/userfile/24247/DM9000A-DS-F01-101906.pdf>.
- [2] Intel StrataFlash memory(J3) datasheet [DB/OL]. [2009-04-10]. http://www.icpdf.com/partnoview.asp?id=1202739_39760.
- [3] DAVICOM DM9000A application notes [DB/OL]. [2009-04-10]. <http://www.pudn.com/downloads91/sourcecode/others/detail352247.html>.
- [4] 赵文武, 李鹏. 28FJ3A 系列 FLASH 存储器与 FPGA 的接口设计[J]. 电脑知识与技术, 2006(12): 150-151.
- [5] 苏耀峰, 王德刚, 魏急波. DM9000A 原理及其与基带信号处理平台的结合应用[J]. 国外电子元器件, 2007(4): 53-56.