

文章编号:1001-9081(2010)06-1701-03

基于 Camera Link 的串行图像采集系统设计

徐志跃, 张田甜

(北京航空航天大学 自动化科学与电气工程学院, 北京 100083)

(xuzhiyue@sohu.com)

摘要:在设计测试系统时,要求高速、可靠地传输大量的图像信息至上位机进行存储和处理。采用 LVDS 或 HOTLink 信号格式,将远程 CCD 采集的图像信号进行串行传输,由 FPGA 乒乓操作进行缓存,通过 Camera Link 接口,将图像数据以串行方式高速传输至图像采集板卡 PXI-1428。实验中以 150 fps 的速度连续采集 128×130 大小的串行 LVDS 图像或 500 fps 的 HOTLink 图像,最大传输速率达到 320 Mbps。实验结果表明,Camera Link 是实现高速串行图像传输的便捷途径。

关键词: Camera Link; Channel Link; 低压差分信号; HOTLink

中图分类号: TP211.5 **文献标志码:** A

Design of serial image acquisition system based on Camera Link

XU Zhi-yue, ZHANG Tian-tian

(School of Automation Science and Electrical Engineering, Beihang University, Beijing 100083, China)

Abstract: It is required to transmit large amount of image information stably at high speed for storage and process when designing a testing system. Image data acquired by remote CCD can be transmitted serially in form of Low Voltage Differential Signal (LVDS) or HOTLink. The data were buffered by ping-pang operation of FPGA. Images can be serially transmitted at high speed to grabber PXI-1428 through Camera Link. The grabber can acquire an image of 128×130 pixels at a speed of 150 fps in LVDS format, or 500 fps in HOTLink format. The top transmission speed can reach 320 Mbps. It is demonstrated that Camera Link can be conveniently applied to high speed, serial image transmission.

Key words: Camera Link; Channel Link; Low Voltage Differential Signal (LVDS); HOTLink

0 引言

Camera Link 接口标准是由多个摄像头和图像采集设备供应商共同制定的^[1]。该接口标准简化了 CCD 和图像采集设备之间的数据连接,广泛应用于高速图像数据采集的场合。Camera Link 接口标准以 National Semi-conductor 公司的 Channel Link 芯片组为硬件基础,在此之上具体定义了基于图像采集系统的信号组以及接口形式,Camera Link 标准在 Channel Link 的信号之外还增添了用于摄像机控制的一些信号如 Camera-Control 信号和基于 LVDS 的串行通信信号等^[2]。Camera Link 标准中未规定具体的信号时序,CCD 厂商只要根据数据采集设备对控制信号的时序要求设计,即可以通过 Camera Link 标准接口构造高速图像采集系统,简化了接口设计过程,提高了系统的可靠性。

为了进行数据的长距离高速传输,通常采用串行传输的方式。LVDS 和 HOTLink 是两种常用的串行传输协议。LVDS 为 ± 350 mV 差分信号,由于信号摆幅很小,可以达到 650 Mbps 的传输速率,传输距离可达 100 m (10 Mbps)^[3]。HOTLink 信号为 PECL 电平,最高传输速率可达 400 Mbps,使用同轴电缆最大传输距离为 150 m,若使用光纤则可达几千米^[5]。

NI 公司生产的 PXI-1428 图像采集模块是基于 Camera Link 协议的图像采集卡,可以在 20 MHz ~ 50 MHz 的像素时

钟下工作,最大数据吞吐量可达 2.3 Gbps。只要符合 Camera Link 协议的 CCD 模块,就可以直接和 PXI-1428 相连接,将图像数据通过 Camera Link 接口送至上位机。

本系统可以接收 LVDS 或 HOTLink 协议的串行图像数据,通过串并转换和乒乓操作缓存后,利用 Camera Link 接口和图像采集卡 PXI-1428 连接,将图像送至上位机进行处理。

1 系统总体结构

图像采集系统的总体结构如图 1 所示,它可以分别接收 LVDS 或 HOTLink 协议两种不同的数据格式。

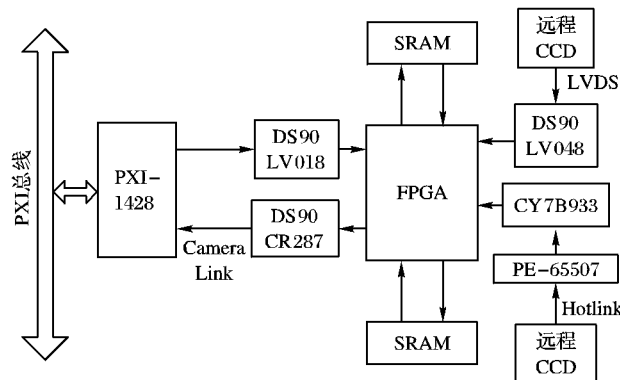


图1 图像采集系统总体结构

远程 CCD 采集到的 16 位灰度图像以 LVDS 或 HOTLink 信号进行传输(传输距离大于 10 m)。LVDS 信号通过电平转

收稿日期:2009-12-07;修回日期:2010-03-10。 基金项目:国家自然科学基金资助项目(50375008)。

作者简介:徐志跃(1958-),男,江西南昌人,副教授,主要研究方向:自动化装置、检测系统、电力电子; 张田甜(1982-),男,广西南宁人,硕士研究生,主要研究方向:图像采集、检测系统、控制系统。

换芯片 DS90LV048 转为 LVTTTL 信号后进入 FPGA。HOTLink 信号通过脉冲变压器 PE-65507 隔离后送入 HOTLink 接收器 CY7B933,通过芯片内部的串并转换模块转换为 8 位并行数据。FPGA 采用 ALTERA 公司的 EP1C12Q240 芯片,对 LVDS 信号进行串并转换的操作,或对 CY7B923 输出的并行数据进行字节合并。FPGA 将处理后的数据存入 SRAM,并将存储的数据发送至 Channel Link 芯片 DS90CR287,后者将数据通过 Camera Link 接口发送给 PXI-1428。PXI-1428 将接收到的图像信息通过 PXI 总线发送至上位机。

2 硬件电路设计

2.1 HOTLink 串行数据的接收

HOTLink 数据接收电路如图 2 所示,数据接收采用变压器耦合的方式。采用这种耦合方式可以抑制传输线中的共模干扰。本系统采用 PULSE 公司的 PE-65507 脉冲变压器进行隔离。电阻 R40、R41 为阻抗匹配电阻,阻值为传输线特性阻抗的一半。该电路的 HOTLink 信号传输线采用 50 Ω 同轴电缆,因此匹配电阻阻值为 25 Ω 。电阻 R50、R51 组成的分压器为输入信号提供直流偏置以满足 PECL 电平的需求。CY7B933 对串行信号进行解算得到 8 位并行数据。为了保证解码的正确性,接收端需要提供和 HOTLink 信号发送端一致的参考时钟信号。由于每一个像素为 16 位,而 HOTLink 发送接收都是按照字节进行,因此要进行两次接收,将收到的两个字节合并,才能获得一个完整的像素数据。这个工作通过 FPGA 内部的硬件程序实现。

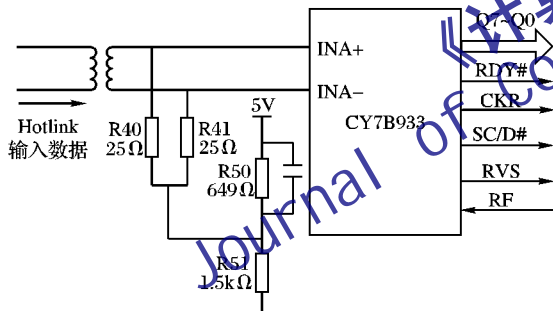


图2 Hotlink 数据接收电路

2.2 LVDS 串行数据的接收

远程 CCD 采集到的图像也可以通过 LVDS 串行信号进行传送。实际传输的信号由 3 路 LVDS 信号组成,一路为像素数据信号,一路为像素同步时钟,一路为像素字同步信号。在每一帧的图像数据前端加入帧头,接收电路通过检测帧头,能够正确地确定每帧图像的边界。为了提高数据传输速率,图像数据传输中采用 DDR(双倍数据速率)技术,即在时钟的上升沿和下降沿都进行数据传输。在接收端,通过在 FPGA 内部设置 DDR 输入模块(IP 核),可以将 DDR 数据分解,供 FPGA 的串并转换模块进行采样。

2.3 乒乓操作

在实际应用中,远程 CCD 采用 HOTLink 协议传输的图像数据量为 40 MBps, LVDS 数据为 10 MBps,而 Camera Link 端的数据发送速率可以达到 80 MBps(在 40 MHz 像素时钟时)。可见 Camera Link 端的图像传输速率大于 CCD 端。为了保证图像数据的完整性,接收电路中采用两片 SRAM 芯片(IS61LV25616)进行乒乓操作,如图 1 所示。接收时先将一

个完整帧的图像数据存于某一 SRAM 中,下一帧图像到来时存入另一片 SRAM 中,同时将已寄存好的一帧图像从 SRAM 中读出,这样可以保证向 PXI-1428 采集卡发送图像数据与下一帧图像的存储同时进行,提高了图像采集的连续性和实时性。

2.4 Camera Link 接口的实现

2.4.1 Channel Link 接口芯片

Channel Link 是 National Semiconductor 公司开发的用于高速串行传输的芯片组。该芯片组能将并行的 LVTTTL 数据以及时钟信号转化为 4 路串行 LVDS 信号和 1 路同步 LVDS 时钟信号进行发送。利用锁相环和 LVDS 信号摆幅很小的特点,串行的 LVDS 数据能以很高的速率发送。Channel Link 芯片组的接收器利用 LVDS 同步时钟信号对串行的 4 路 LVDS 信号进行串并转换,恢复出并行信号^[2]。采用 Channel Link 芯片组可以方便可靠地实现高速串行数据链路。

根据工作频率和性能不同,Channel Link 芯片组包括多个配对芯片, Camera Link 接口标准使用的是其中的 28 位配对芯片,如 DS90CR281/282, DS90CR285/286 等。由于 PXI-1428 使用的是 DS90CR288 接收芯片,因此电路中选用了 DS90CR287 作为 Camera Link 接口的发送芯片。该芯片最高像素时钟可达 85 MHz,最大数据吞吐量可达 2.38 Gbps,完全可以满足大多数高速图像采集的应用场合^[2]。

2.4.2 Camera Link 信号定义

Camera Link 接口是基于 Channel Link 芯片组实现的。Camera Link 分为完全、中等、基本 3 种配置。基本配置使用 1 对 Channel Link 接收/发送,中等配置使用 2 对接收/发送,完全配置使用 3 对接收/发送电路。根据不同的数据吞吐量可以采用不同的接口配置^[1]。PXI-1428 只支持基本配置和中等配置。根据实际使用中的图像数据量,本系统只使用了基本模式,即 1 对 Channel Link 接收/发送电路。对于每一对 Channel Link 接收/发送电路中的 28 位并行数据, Camera Link 都重新进行了定义。其中:24 位用于图像数据,可以传送从 8 位位图到 24 位 RGB 信号的图像数据;另外 3 位分别定义为数据有效(DVAL)、行有效(LVAL)、帧有效(FVAL)信号;还有 1 位保留。发送端只要按照约定的时序驱动这 3 个信号,接收端就能从 Channel Link 接收器解算出的信号中进行正确的图像数据成帧。在 Channel Link 芯片组之外, Camera Link 还自定义了 4 路相机控制信号(Camera Control),这 4 路信号为 LVDS,用于图像采集卡和 CCD 之间的触发时序控制。Camera Link 接口中还包含一对 LVDS 串行信号,用于图像采集卡和 CCD 之间的握手。Camera Link 接口信号如图 3 所示。

2.4.3 Camera Link 图像数据的传输

FPGA 通过串并转换将图像数据存入 SRAM 中,当接收到完整的一帧图像数据之后,进行乒乓切换,将图像数据从 SRAM 中读出。由于图像的像素深度为 16 位,因此传输时只用了 Camera Link 接口 24 位并行数据中的低 16 位数据,在像素时钟的上升沿将 16 位并行数据送入 Camera Link 发送芯片。

图像发送时,将数据有效信号(DVAL)置高,通过控制帧有效(FVAL)和行有效信号(LVAL)进行数据发送。在不发送图像时 FVAL 信号置低。当每一行数据发送完毕,为了插入行间隔,可以将 FVAL 信号置为有效, LVAL 信号置为无效

来实现。这两个信号的时序控制通过 FPGA 内部硬件程序实现。

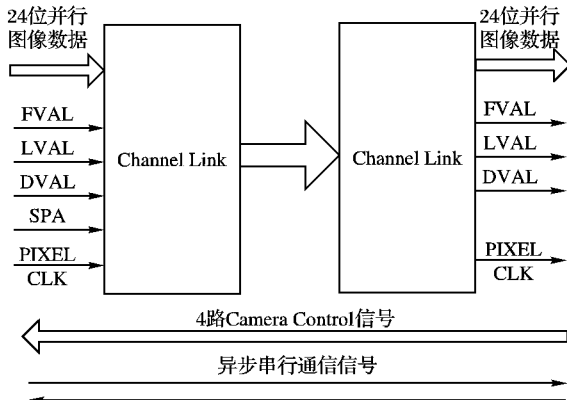


图3 Camera Link 信号定义

2.4.4 异步串行通信信号的接收

Camera Link 接口中提供了一对 LVDS 异步串行通信信号用于 CCD 和图像采集设备之间的通信。信号协议采用标准串行波特率(9 600 bps, 19 200 bps 等), 1 个起始位, 8 个数据位, 无奇偶校验位, 1 个停止位。本系统只使用了 PXI-1428 的串行数据发送端口。对于接收到的串行数据, FPGA 根据约定的波特率对数据进行采样以区分各个数据位。异步串行通信信号为 Camera Link 两端的模块提供了通信的机制。PXI-1428 可以向 FPGA 发送特定的串行码, FPGA 收到后可以内部软件模块和外部硬件模块的复位, 也就是提供了一个上位机通过软件控制整个硬件系统复位的机制。此外通过异步串行通信信号, 上位机可以将一些参数, 如图像大小, 发送至 FPGA 中, FPGA 根据这些参数可以接收不同大小的图像数据, 大大增加了硬件的灵活性和可配置性。

3 硬件程序设计

FPGA 中的硬件程序结构如图 4 所示。

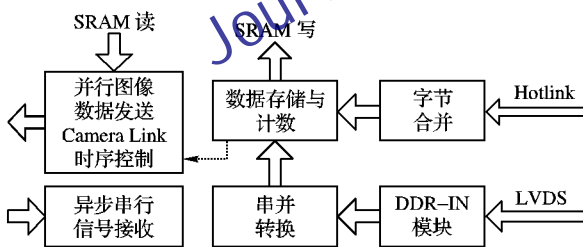


图4 FPGA 硬件程序结构

3.1 HOTLink 接收模块

HOTLink 接收模块主要是实现字节合并, 在每个时钟的上升沿, 当采样到 RDY 信号和 SC/D 信号有效时, FPGA 采样 CY7B933 的 D7 ~ D0^[6]。由于每个像素为 16 位数据, 因此 FPGA 每采样两次将两个字节合并为 16 位数据存入 SRAM。在接收过程中, FPGA 还监视 RVS 信号, 如果 RVS 信号为高, 表示数据解码发生了错误, 则丢弃当前接收的数据, 同时驱动 RF 信号, 启动 HOTLink 接收器中的再成帧过程, 直到检测到串行数据线上出现连续空闲字符, 表示接收器已经进入正确的解码过程, 才做好准备接收新的有效数据。

3.2 LVDS 接收模块

LVDS 串行数据采用双倍数据速率(DDR)进行发送, 因此采用 ALTERA 公司的 DDR-IN IP 核将双倍数据速率信号转

为上升沿有效信号。由于 LVDS 信号中包含同步像素时钟, 所以可以利用该时钟信号作为移位寄存器的时钟, 实现串并转换。

3.3 Camera Link 数据发送

当接收到一个完整帧的图像数据后, FPGA 就启动图像传送程序, 将图像数据通过 Camera Link 送至 PXI-1428 采集卡。该程序模块主要驱动 FVAL 和 LVAL 两个信号。同时在像素时钟的上升沿将 16 位数据从 SRAM 中读出, 送至 Camera Link 发送芯片 DS90CR287 的并行数据端口。程序结构如图 5 所示。

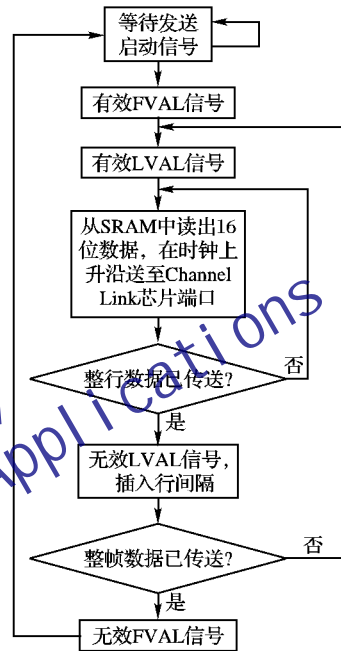


图5 数据发送逻辑结构

3.4 异步串行通信信号接收模块

对异步串行通信信号采样难点在于没有同步时钟, 只能根据约定的波特率进行采样。采样的关键在于如何可靠地区分各个数据位, 尤其是当接收到连续的“1”或“0”时。信号由空闲状态转为起始位时有一个由“1”到“0”的过程, 接收程序就利用这个下降沿作为启动标志, 按照约定波特率的 100 倍对信号进行采样, 如果采样过程中信号电平保持稳定, 则认为接收到有效的逻辑位, 将数据移入寄存器。程序结构如图 6 所示。

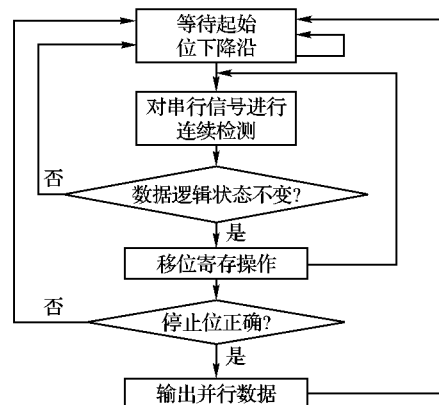


图6 异步串行逻辑结构

(下转第 1707 页)

可以看出,柱状图中具有最大幅值的分量为“Fear”情感类型,因此对该段视频最终的评价结果为“惊恐”,该评价结果良好反映了该段视频的真实情感,验证了本文方法的正确性。

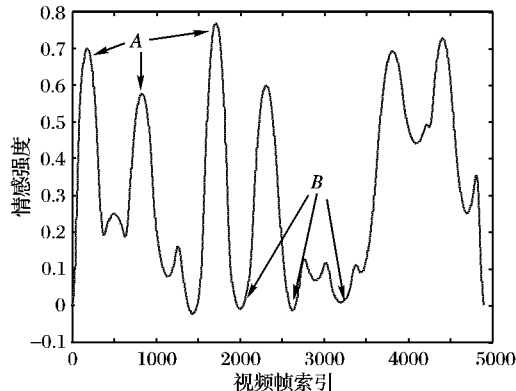


图4 情感强度曲线实例

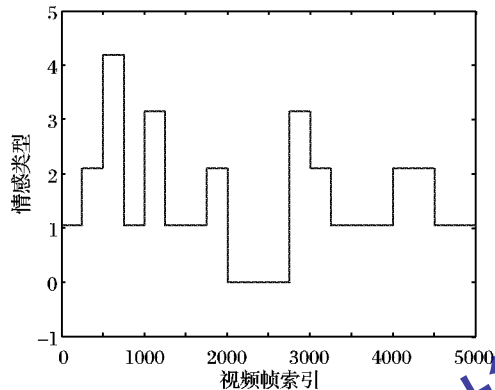


图5 情感类型曲线

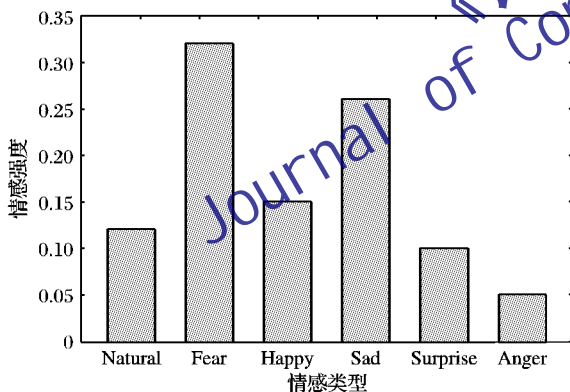


图6 情感类型评价

(上接第1703页)

4 结语

该图像采集系统进行了实际测试。采用串行 LVDS 传输时,可以以 150 fps 的速度连续采集 128×130 的图像。采用 HOTLink 传输时,可以以 500 fps 的速度采集 128×130 大小的图像,也可以 100 fps 的速度传输 320×250 的图像。图像采集系统工作稳定,可靠最大传输速率达到 320 Mbps。测试结果表明 Camera Link 是实现高速串行图像传输的便捷途径。同时利用 Camera Link 中的异步串行通信端口提供了上位机软件控制外部硬件的机制,大大提高了图像采集系统硬件的可配置性能。目前该图像采集系统已成功应用于某型号军工产品的测试设备中。

5 结语

本文提出一种视频情感语义的分析方法,即情感类型-强度分析方法。该方法将视频中的情感语义分解为连续型的情感强度和离散型的情感类型两个相互独立的分量,通过视频的多模态视觉、听觉的多个低层物理特征分别建立两个分量的时序曲线,最终通过情感类型和情感强度曲线的合成,实现对视频情感内容的自动标注。实验结果验证了本文所建立的情感模型能够有效地描述视频的情感内容,更好地符合了人类的认知过程。

参考文献:

- [1] 王上飞,王煦法. 图像情感检索研究的进展与展望[J]. 电路与系统学报, 2005, 10(4): 102-110.
- [2] CHENNOUKH S, GERRITS A, MIET G, *et al.* Speech enhancement via frequency bandwidth extension using spectral frequency [C]// Proceedings of International Conference on Acoustics, Speech, and Signal Processing, Washington, DC: IEEE, 2001: 665-668.
- [3] ESULI A, SEBASTIANI F. Determining the semantic orientation of terms through gloss classification [C]// Proceedings of ACM SIGIR Conference on Information and Knowledge Management. New York: ACM Press, 2005: 617-624.
- [4] COLOMBO C, DEL B A, PALA R. Semantics in visual information retrieval [J]. IEEE Multimedia, 1999, 6(3): 38-53.
- [5] CHEN H-W, CHO S-B. Video scene retrieval with interactive genetic algorithm [J]. Multimedia Tools and Applications, 2007, 34(3): 317-336.
- [6] WANG J, CHENG E, XU C, *et al.* Identify sports video shots with "happy" or "sad" emotions [C]// Proceedings of IEEE International Conference on Multimedia and Expo. Washington, DC: IEEE, 2006: 877-890.
- [7] 林奕琳, 韦岗, 杨康才. 语音情感识别的研究进展[J]. 电路与系统学报, 2007, 12(1): 90-98.
- [8] SIMONS R, DETENBER B H, ROEDEMA T M, *et al.* Emotion processing in three systems: The medium and the message [J]. Psychophysiology, 1999, 36(5): 619-627.
- [9] MURRAY I R, ARNOTT J L. Toward the simulation of emotion in synthetic speech: A review of the literature on human vocal emotion [J]. Journal of the Acoustic Society of America, 1993, 93(2): 1097-1108.
- [10] SIMONS R, DETENBER B H, ROEDEMA T M, *et al.* Attention to television: Alpha power and its relationship to image motion and emotion [J]. Media Psychology, 2003, 5(3): 283-301.

参考文献:

- [1] 李宁, 汪骏发. 基于 Camera Link 的高速数据采集系统[J]. 红外, 2005(7): 31-37.
- [2] Specifications of the Camera Link interface standard for digital cameras and frame grabbers [EB/OL]. [2009-10-10]. <http://www.vision1.com/pdf/CameraLink5.pdf>.
- [3] 李志勇, 袁魏华, 杨镇华. 基于 TMS320C6711 的 Camera Link 相机控制的实现[J]. 电子器件, 2006(3): 972-975.
- [4] National Instruments Corporation. NI PXI/PCI-1428 user manual [M]. Austin, Texas, USA: National Instruments Corporation, 2007.
- [5] Cypress Semiconductor Corporation. HOTLink transmitter/receiver (CY7B923/CY7B933) [M]. San Jose: Cypress Semiconductor Corporation, 1999.