

文章编号:1001-9081(2010)06-1698-03

基于矩阵的混合型数字匹配滤波器的研究

郑津, 陈利学, 梅大成

(西南石油大学 计算机科学学院, 成都 610500)

(zhengjin_02@163.com)

摘要:针对测井信号扩频传输的实际需求,在FPGA芯片上设计并实现了一种改进的混合型数字匹配滤波器。匹配滤波相干过程采用递归化矩阵运算的方式进行,并将滤波器中多路乘加器计算求值的结构改用查表寻值形式,以同时满足井场对简化设备结构与保证工作速率的要求。测试结果显示,该结构数字匹配滤波器的处理效果能满足设计要求。

关键词:扩频通信;测井信号传输;数字匹配滤波器;现场可编程门阵列;递归化矩阵运算

中图分类号: TP399 **文献标志码:** A

Digital matching filter with compound architecture based on matrix

ZHENG Jin, CHEN Li-xue, MEI Da-cheng

(School of Computer Science, Southwest Petroleum University, Chengdu Sichuan 610500, China)

Abstract: Under discussion of the background of logging signal transmission based on discrete Sequence-Spread Spectrum (DS-SS) technology, the research and design of a compound architecture Digital Matching Filter (DMF), configured on FPGA, was described in detail. In this filter, the matching filtering progress was made by recursive matrix operations, and common multi-multiplier adder frame was replaced by a way of look-up table value finding, to ensure the well site requirements of simple instrument structure and work efficiency. The testing results show that the processing effects done by the filter meets the design requirements.

Key words: Direct Sequence-Spread Spectrum (DS-SS); logging signal transmission; Digital Matching Filter (DMF); Field-Programmable Gate Array (FPGA); recursive matrix operation

0 引言

随着国民经济的快速发展,对石油、天然气的需求量日益增大,研制具有快速、长距离、高精度传输性能的测井信号传输系统对实现油田高产、稳产的目标具有重要意义^[1]。扩展频谱(以下简称扩频)技术抗干扰性能好,将其用于测井信号传输系统中,可以大大提高通信系统在井下地质环境复杂、电磁影响恶劣情况下工作的性能。

在测井信号以扩频方式进行有线传输时,匹配滤波器是保证通信同步的核心部件,其性能直接影响到整个通信系统的效率。现有流行匹配滤波器主要分为并行匹配和串行匹配两种结构。结合测井信号长距离传输的工作实际分析,并行匹配结构硬件设备过于庞大,不适于作为井下设备;串行匹配结构的搜索速度满足不了井场的实时需求。因此,在设计测井信号传输系统时,从加快匹配速率、简化结构入手,设计了一种混合型的基于递归化矩阵形式的加速匹配滤波结构,并对其进行了仿真验证。

1 匹配滤波器的原理及结构

根据匹配滤波器原理^[2-4],现有流行匹配滤波器的结构分并行匹配滤波和串行匹配滤波两大类。并行匹配滤波是将 N 位伪随机码(以下简称PN码)字长的扩频信号分别送往 $2N$ 个PN码序列相干运算器,其中输出最大值的对应支路所

使用的PN码序列即是接收扩频信号的编码序列,从而实现扩频系统的同步^[5],其优点在于工作时间很短,缺点是系统开销很大。

为解决硬件损耗过大的问题,出现了串行匹配滤波结构。在该结构中,扩频信号以队列方式依次滑动,并与本地序列进行匹配相干。每一时刻皆产生一组相干运算结果,当滑动到两个序列刚好对齐时,会有一个相干运算的极值输出,即标志同步完成^[6]。否则本地PN序列向前或向后滑动一个码元,再进行检验。显然,当字长较长时,串行匹配结构相应的耗时较长。

2 结构设计

2.1 总体设计

将串行匹配滤波结构与并行匹配滤波结构相结合,形成混合型匹配滤波结构,可在减少并行结构复杂度的同时,有效提高串行结构搜索的捕获性能^[7-8]。现以两条支路并行工作的方案为例说明,如图1所示,给出了 $m=2$ 时,4位量化,2倍过采样的混合型匹配滤波器的结构框图。

其工作过程为:待解扩信号进入本系统后,先通过串/并转换模块和数字下变频模块,产生I、Q两路基带信号后送入匹配滤波模块,分别经过两组延迟线进入移位寄存器,与本地PN码产生器中产生的PN码系数相乘并累加。该过程采用递归化矩阵运算形式加速。累加结果被送入峰值检测模块进

收稿日期:2009-12-23;修回日期:2010-02-11。

基金项目:四川省教育厅重点项目(2006A147);四川省科技厅应用技术研究与开发重点项目(2008JY0114)。

作者简介:郑津(1984-),男,四川广安人,助教,CCF会员,主要研究方向:石油工程嵌入式系统、石油工程仿真模拟计算; 陈利学(1955-),男,四川南充人,教授,博士生导师,主要研究方向:嵌入式系统; 梅大成(1965-),男,四川广安人,副教授,主要研究方向:实时监测与计算机控制、嵌入式系统。

行判决。如达到或超过门限,则判定匹配成功;如未达到门限,则继续进行匹配。

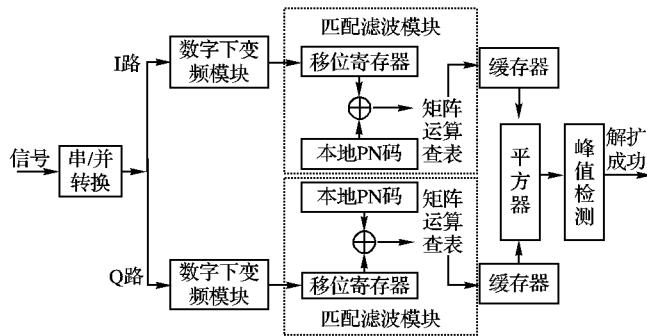


图1 混合型匹配滤波器结构

2.2 矩阵加速结构设计

为加速匹配滤波的过程,本文根据测井信号传输实际,将匹配滤波相干运算用递归化矩阵运算的形式进行,其过程如图2所示。

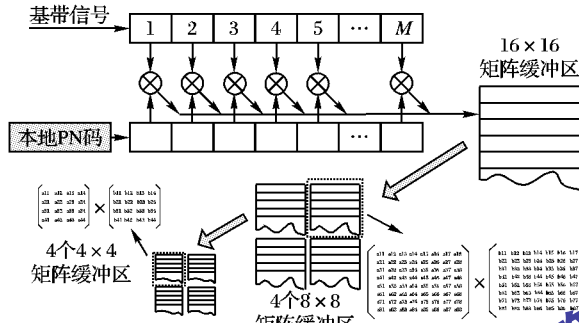


图2 矩阵加速结构

在图2所示的矩阵加速结构中,数据进入匹配滤波模块后,先通过一个移位寄存器,其长度为单个码片的长度。在本设计中,码片长度为16位。间隔事先规定好的时钟周期后,寄存器中的16位数据存入 16×16 的缓存矩阵中。相应地,本地产生的PN序列码也以 16×16 的矩阵存于缓存器内。两个 16×16 的矩阵相乘,乘法和加法运算量巨大,需对矩阵运算算法做出改进,以达到并行计算的效率。首先将 16×16 的矩阵分块为4个 8×8 的矩阵块,再将 8×8 划分为4个 4×4 的矩阵块^[9]。在计算时,对其改进的算法操作如下所示。

有2个 4×4 矩阵 A, B 。在计算时把 A 与 B 分块如下:

$$C = A * B = \begin{bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{bmatrix} * \begin{bmatrix} b_{11} & b_{12} \\ b_{21} & b_{22} \end{bmatrix}$$

普通算法:

$$C_{11} = a_{11} * b_{11} + a_{12} * b_{21}$$

$$C_{12} = a_{11} * b_{12} + a_{12} * b_{22}$$

$$C_{21} = a_{21} * b_{11} + a_{22} * b_{21}$$

$$C_{22} = a_{21} * b_{12} + a_{22} * b_{22}$$

改进的并行算法:

$$temp_1 = a_{11} * b_{11}$$

$$temp_2 = a_{12} * b_{21}$$

$$temp_3 = a_{11} * b_{12}$$

$$temp_4 = a_{12} * b_{22}$$

$$temp_5 = a_{21} * b_{11}$$

$$temp_6 = a_{22} * b_{21}$$

$$temp_7 = a_{21} * b_{12}$$

$$temp_8 = a_{22} * b_{22}$$

$$C_{11} = temp_1 + temp_2$$

$$C_{12} = temp_3 + temp_4$$

$$C_{21} = temp_5 + temp_6$$

$$C_{22} = temp_7 + temp_8$$

即:尽可能地将多维的矩阵运算简化为单一的乘、加运算,采用递归的方式并行流水线操作,直到把矩阵分解为 2×2 的矩阵来运算^[10]。

因个位数的乘法运算结果是确定的,本文在递归化矩阵运算最后阶段,摒弃了多路乘加器操作,而采用查表寻值方式取得运算结果,即预先将个位数乘法运算的结果存入RAM,当递归计算到个位数乘法运算时,通过读取查找表找到所需的乘法运算结果,再对其累加得到最终求值。这样可以进一步提高匹配滤波的速度,同时简化结构。

3 设计实现

本文采用Altera公司的Cyclone系列型号为EP1C6Q240C8的FPGA芯片,在EDA设计平台Quartus II 7.2软件环境下进行设计,并采用VHDL硬件电路描述语言实现。其顶层电路如图3所示。其中,PN码码长 $N=32$,输入位宽31位,输出位宽31位。如图3所示,本文实现的数字匹配滤波器包括输入信号队列处理模块、本地PN码队列处理模块、相干运算模块、数据制式转换模块、计数电路和峰值检测电路等部分。各部分工作原理解释如下:

1) 输入信号队列处理模块由多个D触发器级联构成,其功能主要是接收经过数字下变频处理的扩频信号,并在速率为CLK的码时钟的作用下对其进行移位操作,以队列形式提交给下一模块。

2) 本地PN码队列处理模块由多个带有使能端的D触发器级联构成,其中存放 N 位本地参考PN码,在时钟CLK的作用下移位,形成一系列不同的本地参考PN码,以供相干运算模块调用。

3) 相干运算模块由多级异或非门阵列构成,用以实现输入信号队列与本地PN码队列信号相干运算的功能。其中,异或非门以矩阵递归的方式级联,并在最低级与寄存器相连,每一级的运算结果都先置入寄存器进行缓存。上一级的相干运算模块工作时先查找寄存器中缓存的结果,实现流水线工作方式,提高相干运算速度。

4) 数据制式转换电路用来将相干运算模块的并行输出转换为串行输出数据。

5) 计数电路由二进制加法计数器与寄存器级联构成。计数器预置数据设为0,即从0开始计数。当计数器计满时,即将结果存入寄存器暂存,供峰值检测电路调用,同时自清零开始下一周期计数。

6) 峰值检测电路由两个数据比较器模块构成。将从计数电路寄存器中读出的与本模块寄存器中实现设定的门限值进行比较,若计数值大于给定门限值,则达到峰值检测门限,标志匹配成功,同时送出成功匹配信号给控制电路。

4 仿真与测试

将本文中的矩阵式混合型匹配滤波结构与两种传统匹配滤波结构(即串行移位匹配滤波结构和倒置型FIR滤波结构^[11-12])做横向性能测试。在32位码序列、4位比特量化、4倍过采样的条件下工作时,前述3种匹配滤波结构的性能比较如表1所示。

表1 3种匹配滤波结构的性能比较

设计方法	使用的时钟频率	占用的资源(触发器)
串行移位匹配滤波	单倍采样速率	5 537
倒置型FIR匹配滤波	单倍采样速率(非折叠)	7 086
	4倍采样速率(折叠)	2 063
矩阵式混合型匹配滤波	4倍采样速率	915

从表1中可以看出,在相同工作条件下,本设计的匹配滤波结构所占用的触发器资源相对最少,即在达到相同匹配滤波目标的前提下,本设计的结构效率最高。

同时,在Quartus II环境下对3种结构的匹配滤波器进行仿真,如图4所示。3种匹配滤波结构的输出信号依次分别为矩阵式混合型匹配滤波结构(AC_result)、倒置型FIR匹配滤波结构(FIR_result)和串行移位匹配滤波结构(SerialShift_result)。可以看出,在输入信号128 Kbps,PN码选用Gold码,码长32位的情况下,矩阵式混合型匹配滤波结构输出匹配成

功标志的用时最小,并成功捕获了3次;倒置型FIR匹配滤波结构较矩阵式混合型匹配滤波结构速度稍慢,且只成功匹配了两次,基本符合匹配滤波工作要求;串行移位匹配滤波结构在作横向对比的3种匹配结构中,速度最慢,且仅成功匹配一次,匹配滤波工作效率最差。

从以上测试结果可得出,基于矩阵的混合型匹配滤波器与传统的匹配滤波器相比,在相同工作条件下,占用资源较少,匹配滤波用时和匹配成功概率却更优秀,达到了预期的设计指标。

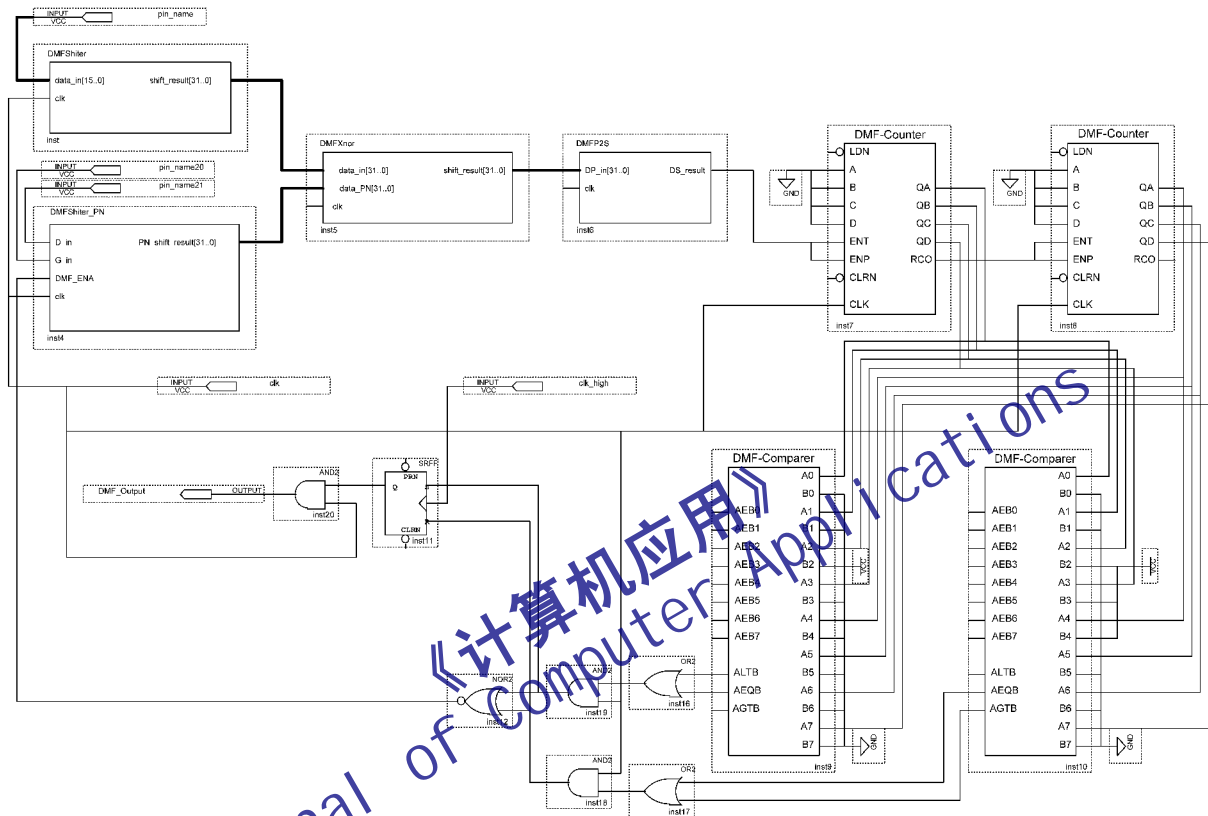


图3 混合型匹配滤波器顶层电路图

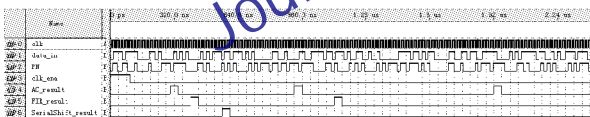


图4 3种结构处理效果比较

5 结语

本文针对测井信号传输的实际需求,综合考虑了系统消耗与工作效率,在比较现有流行的匹配滤波器结构基础上,提出了一种混合式的匹配滤波结构,给出设计方案,并进行了验证。仿真结果表明,利用递归矩阵运算来实现匹配滤波的相干过程,并且将多路乘法器流水作业改用查表求值的结构,可以在保证处理增益不明显降低的同时,有效地简化匹配滤波器的结构,达到了设计的目的。本文设计的结构简单,可方便地移植到同类系统中,应用前景广泛。

参考文献:

- [1] 吴振宇,李福辉,冯林.基于C8051F020的石油测井数据采集系统[J].仪器技术与传感器,2008(10):42-43.
- [2] RAWSKI M, TOMASZEWICZ P, SELVARAJ H, et al. Efficient implementation of digital filters with use of advanced synthesis methods targeted FPGA architectures [C]// Proceedings of the 8th Euro-micro Conference on Digital System Design. Washington, DC: IEEE Computer Society, 2005: 460-466.
- [3] LIOU M L, CHIUH T D. A low-power digital matched filter for di-

rect-sequence spread-spectrum signal acquisition [J]. IEEE Journal of Solid-State Circuits, 2001, 36(6):933-943.

- [4] MAHDI M A, OTHMAN M B. An algorithm proposed for FIR filter coefficients representation [EB/OL]. [2009-10-10]. <http://www.waset.org/journals/waset/v26/v26-12.pdf>.
- [5] HANZO L, WEBB W, KELLER T. Single and Multi-carrier quadrature amplitude modulation: Principles and applications for personal communications, WLANs and broadcasting [M]. Washington, DC: IEEE, 2000: 57-69.
- [6] 高丙坤,阎胜玉,袁静,等.直接序列扩频通信系统误码率的仿真分析[J].大庆石油学院学报,2002,26(2):40-42.
- [7] 顾何方,康志伦.直扩系统中匹配滤波器的FPGA实现及优化设计[J].合肥工业大学学报:自然科学版,2007,30(11):1412-1414.
- [8] 何苏勤,郑慧娟.均衡PN序列在直序扩频系统中的应用研究[J].计算机应用,2007,27(2):261-264.
- [9] 郑津,陈利学.基于扩频技术的测井信号长距离传输系统的研究[J].电子测量技术,2009,32(4):151-153.
- [10] 丁鹏,陈利学.使用GPU加速矩阵运算[J].计算机技术与发展,2006,16(增刊):209-211.
- [11] 徐钦桂,李勇.嵌入式系统性能评测技术[J].东莞理工学院学报,2005,12(1):30-36.
- [12] 卿敏,沈业兵,安建平.用FPGA实现数字匹配滤波器的优化方法[J].微计算机信息,2004,20(11):118-119.