

文章编号:1001-9081(2010)11-3094-03

高速图像采集系统的研究及 FPGA 实现

何振琦¹, 李光明¹, 张慧琳², 李 颀¹

(1. 陕西科技大学 电气与信息工程学院, 西安 710021; 2. 西北工业大学 自动化学院, 西安 710072)

(hq774@sohu.com)

摘要:针对图像采集速度慢和图像品质低等问题,设计并实现了一种基于 Nios II 双核的高速图像采集系统。该系统利用现场可编程门阵列(FPGA)对图像传感器进行控制,并通过乒乓操作原理对图像进行采集。然后采用面积交换速度的原则进行图像处理,在图像处理过程中采用 BP 网络图像压缩的算法保存并传输给上位机。对采集数据进行仿真表明:与传统图像采集方法相比较,该系统的图像采集速度和图像采集质量都得到了极大的提高。

关键词:面积交换速度;乒乓操作;BP 神经网络;现场可编程门阵列

中图分类号: TP391.41; TP274 **文献标志码:** A

High-speed image acquisition system and FPGA implementation

HE Zhen-qi¹, LI Guang-ming¹, ZHANG Hui-lin², LI Qi¹

(1. College of Electric and Information Engineering, Shaanxi University of Science and Technology, Xi'an Shaanxi 710021, China;

2. College of Automation, Northwestern Polytechnical University, Xi'an Shaanxi 710072, China)

Abstract: To solve the problem of low speed and poor quality of image acquisition, a system of high-speed image acquisition based on Nios II was introduced. First of all, Field-Programmable Gate Array (FPGA) was used for controlling image sensor, and the image was captured through ping-pang operation. Then, the principle of area exchange rate was used for image processing. After that, the data was kept and transmitted to the upper device by image compression algorithm of BP neural network. Through the simulation experiments from the acquired data, the simulation results demonstrate that this system provides image acquisition of higher speed and quality than traditional system.

Key words: area exchange rate; ping-pang operation; BP neural network; Field-Programmable Gate Array (FPGA)

0 引言

在图像处理的整个过程中,图像采集是图像处理的基础和前提,特别是高速的图像采集部分更是关键所在。随着近年来科学技术的高速发展,对图像采集的速度和图像品质提出了更高的要求,在传统的图像采集系统中,多数采用单片机或者 DSP 进行控制,已不能满足图像采集这种高速数据采集场合。

由于现场可编程门阵列(Field-Programmable Gate Array, FPGA)技术在数字电路系统设计领域发展中发展迅速,而 FPGA 的 SOPC(可编程片上系统)能够满足系统对体积、灵活性,以及稳定性的要求,在图像采集和图像处理系统中得到了广泛的应用^[1]。本文正是基于 FPGA 技术提出了一种高速图像采集设计。在图像采集方面采用了乒乓操作,它是 FPGA 设计中最常用的一种数据缓冲方法之一,简单、实用;图像处理方面采用的面积交换速度原则可以通过面积的复制换取速度方面的优势,基本可以满足工业过程控制中对图像采集的速率要求。

因此,依靠 FPGA 技术设计一种高速图像采集系统就具有体积小,功耗低,以及采集速率高的优点,且具有很强的实用价值。

1 Nios II 双软核构架

Nios II 嵌入式处理器是 ALTERA 公司推出的采用哈佛结构、具有 32 位指令集的第二代片上可编程的软核处理器,是一种模块化的硬件结构,具有灵活性和可裁减的优点。相对于传统的处理器,Nios II 系统可以在设计阶段根据实际的需求来增减外设的数量和种类。使用 ALTERA 提供的开发工具 SOPC Builder,在可编程逻辑器件(Programmable Logic Device, PLD)上创建软硬件开发的基础平台,也即用 SOPC Builder 创建软核 CPU 和参数化的接口总线 Avalon。在此基础上,可以很快地将硬件系统(包括处理器、存储器、外设接口和用户逻辑电路)与常规软件集成在单一可编程芯片中。而且,SOPC Builder 还提供了标准的接口方式,以使用户将自己的外围电路做成 Nios II 软核可以添加的外设模块。这种设计方式,更加方便了各类系统的调试^[2]。

实现 Nios II 双核架构的最大难点是信息处理和存储器争用问题,互斥信号量(MUTEX)是解决多处理器争用存储器的关键,它的位宽为 2×32 bit。而在多核环境也可用信箱(Mailbox)在多核之间进行通信,本系统结合了两者的优点,在互斥信号量的基础上用信箱方式来解决双处理器争用存储器的问题。使用 SOPC Builder 开发平台可以方便地构建片上系统。在 SOPC Builder 提供了众多的片内资源,用户只需根据

收稿日期:2010-05-18;修回日期:2010-07-21。

基金项目:陕西省科技厅工业攻关项目(2006K05-G17);西安市科学技术局工业发展项目(YF07031)。

作者简介:何振琦(1981-),男,陕西咸阳人,硕士研究生,主要研究方向:嵌入式系统;李光明(1963-),男,陕西西安人,教授,主要研究方向:嵌入式系统、图像处理;张慧琳(1984-),女,河北邢台人,助理工程师,硕士研究生,主要研究方向:系统工程、嵌入式系统;李颀(1973-),女,陕西咸阳人,副教授,主要研究方向:过程控制、智能控制。

设计要求进行裁剪,具体添加的 IP 核如图 1 所示。

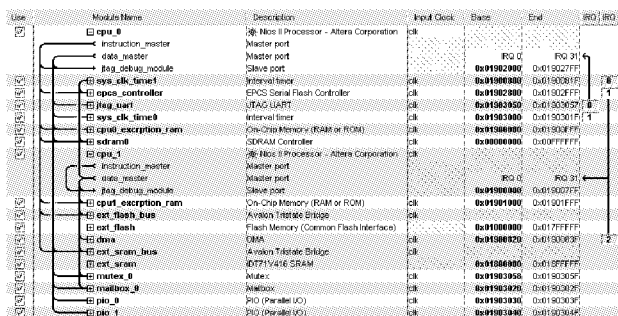


图 1 添加的 IP 核

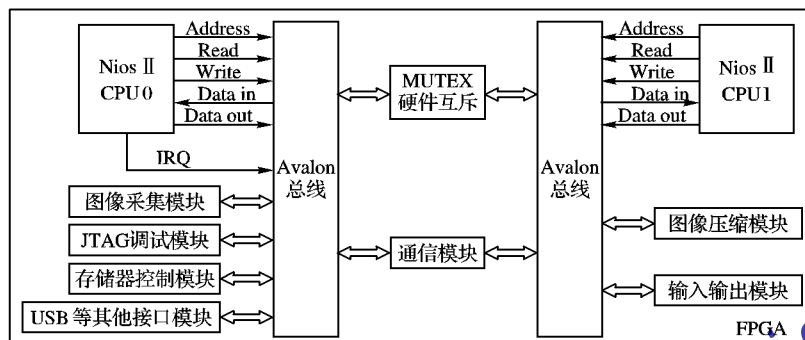


图 2 系统硬件结构

2.1 图像采集模块

选择 Nios II CPU0 软核为图像采集模块的操作系统,具体采用乒乓操作原理实现。采用乒乓操作最大的特点是数据无缝缓冲与处理^[3],通过“输出数据选择开关”和“输入数据选择开关”互相配合的切换,数据在经过 SRAM 时没有时间停顿就被送到数据处理单元,同时这种方式还具有 SRAM 随机存取的优点,易于得到较大容量的高速 SRAM 且价格适中。图像采集模块原理如图 3。

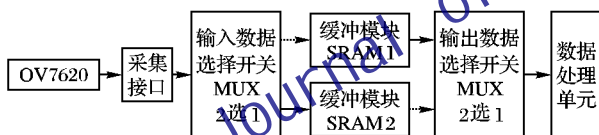


图 3 图像采集模块原理

在图 3 中,OV7620 为图像传感器,采集到的图像通过图像采集芯片传给输入数据选择开关,输入数据选择开关是用来控制两片 SRAM 存储的关键。输入的图像数据经过选择开关后,分别进入 SRAM1 和 SRAM2。当图像数据读写入 SRAM1 时,数据处理单元从 SRAM2 中读取数据;当图像数据写入 SRAM2 时,数据处理单元从 SRAM1 读取数据,然后,反复交替切换就构建了一个完整的乒乓操作。

2.2 图像处理模块

选择 Nios II CPU1 软核为图像处理模块的操作系统,采用了面积换速度的原则,面积的复制可以换取速度的提高,支持的速度越高,就意味着可以实现更高的产品性能,可以提高图像处理及传输的速度。最终,将处理后的数据传送给上位机(PC)。

2.2.1 面积换速度的原理

首先,使用串并转换来实现多路的速度降频,图 4 中将总的频率分为 3 路,则每路经过 1/3 的频率;然后,在每一路中用相同的算法,使各处理模块进行相对低频的处理;最后将

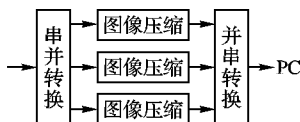


图 4 图像处理模块原理

2 系统总体设计

系统采用 Alter 公司 Cyclone II 系列的 EP2C20F256C8 芯片,配置了双 Nios II 软核 CPU 的设计架构,其中一个处理器负责图像采集,另一个处理器负责图像处理(图像压缩)以及图像传输,两个 Nios II 核之间通信方式采用邮箱(Mailbox),这样做可有效地提高处理器处理能力。两个 CPU 软核之间采用 Avalon 总线和 MUTEX 硬件互斥进行连接,交互信息在 SRAM 中进行交换。由于采用了同一片 FPGA 配置了两个软核 CPU 的方式,信号传输可以实现无缝连接,大大提高了系统信息传递的速度和能力。详细的系统硬件结构见图 2。

每一路的处理结果再进行并串转换成为高频的输出数据。详细的图像处理模块原理如图 4 所示。

2.2.2 BP 神经网络图像压缩算法

该系统采用了 BP 神经网络压缩算法,BP 神经网络模型拓扑结构包括输入层、隐含层和输出层。BP 神经网络结构如图 5 所示,图中, P 为输入矢量, R 为输入维数, S^i 为输入各个神经元数, W^i 为神经元层数, n^i 为输入节点, a^i 为节点输出, w^j 为各个神经元连接权值, f^j 为激励函数, b^j 为神经元阈值。BP 神经网络图像压缩的基本思想是:强迫原始数据通过细腰型网络瓶颈,并期望在网络的瓶颈处能获得较为紧凑的数据表示,以达到压缩目的^[8]。一般来说采用不同数目的隐含层神经元就能实现不同的压缩比。

$$\text{压缩比} = \text{输入层节点数}(n) / \text{隐含层节点数}(m)$$

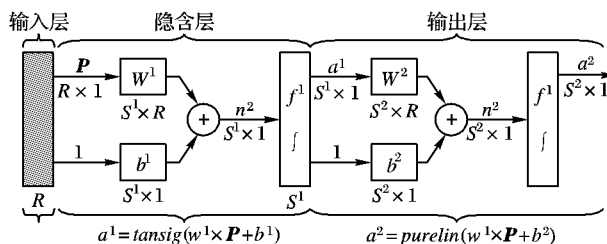


图 5 BP 神经网络结构

BP 神经网络训练步骤如下:

- 1) 用较小的随机数对权值和偏差初始化,并设定以下参数或初始化:期望误差、最大循环数、修正权值学习速率。
- 2) 将原始图像分为 4×4 的块,并选取其中一块的像素值作为训练样本送入输入层,计算各层输出:

$$y_j = f(\text{net}_j) \quad (1)$$

$$\text{net}_j = \sum_{i=1}^n v_{ij} x_i + \theta_j; j = 1, 2, \dots, m \quad (2)$$

$$o_k = f(\text{net}_k) \quad (3)$$

$$\text{net}_k = \sum_{j=1}^m \omega_{jk} y_j + \gamma_k; k = 1, 2, \dots, l \quad (4)$$

其中 $f(\cdot)$ 为传输函数。

3) 计算输出与期望输出之间的误差,判断是否小于期望误差,是则训练结束;否则继续下一步。其误差的计算公式如下:

$$E = \frac{1}{2}(d - o)^2 = \frac{1}{2} \sum_{k=1}^l (d_k - o_k)^2$$

4) 计算各层反传信号,调整权值和阈值。

5) 检查是否完成一次训练,是则返回 2); 否则继续下一步。

6) 检查是否达到最大循环次数,是则结束训练;否则返回 2)。

经过多次训练后得到最后一组权值和阈值,组成前馈神经网络,然后进行 FPGA 的设计。

3 实例仿真

在设计中采用了 ModelSim 仿真器对部分节点进行了仿真测试,图像采集在时钟 clk 下能够完成图像数据采集,并通过 DMA 把采集到的图像数据写入相应的存储地址,最后完成图像数据的输出。图 6 为乒乓操作的功能仿真图,图 7~8 为图像采集读取和写入仿真波形图。

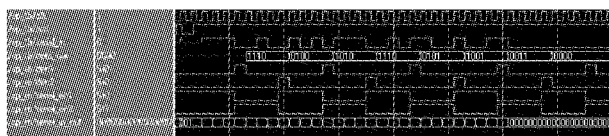


图 6 乒乓操作仿真波形图

4 结语

该系统采用了双 Nios II 软核 CPU 构架和模块化设计方法,大大地提高了 FPGA 的使用效率,在图像采集和处理模块中,分别采用了乒乓选择方式和面积换速度的原理,极大地提高了数据处理的速率,BP 神经网络压缩算法可较好地保存图像品质。最后,采用 verilogHDL 硬件描述语言实现,具有系

统结构简单,硬件流程清晰,具有高集成度、高信噪比、低功耗、低成本,以及速度快等优点。通过验证本系统可以稳定工作,图像采集速率可达到 29 fps 左右,基本达到高速图像采集的要求,可广泛应用于工业、农业等,具有较高的实用价值。

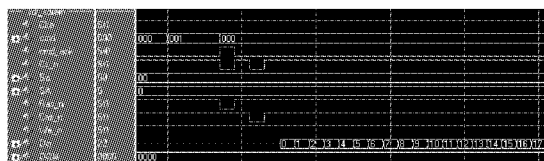


图 7 图像采集读取仿真波形图

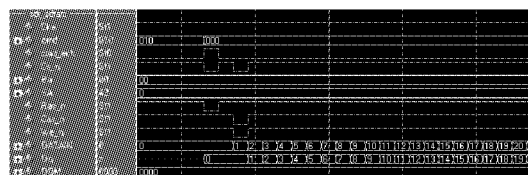


图 8 图像采集写入仿真波形图

参考文献:

- [1] 姚远, 韦宏卫. FPGA 应用开发入门与典型实例[M]. 北京: 人民邮电出版社, 2008: 1-9.
- [2] 孙凯, 程世恒. Nios II 系统开发设计与应用实例[M]. 北京: 北京航空航天大学出版社, 2007: 23-41.
- [3] 李成, 贺泽. 基于 FPGA 的图像采集模块的设计[J]. 电子设计工程, 2009, 17(3): 34-37.
- [4] 刘明东, 杨亮亮, 李国刚. 基于 Nios II 多核驾驶疲劳检测系统设计[J]. 计算机工程与设计, 2009, 30(6): 1410-1412.
- [5] 何明星, 路巍. 基于多软核技术的数字示波器的实现[J]. 微计算机信息, 2009, 25(8): 40-41.
- [6] 侯忠, 阎保定, 侯韶剑, 等. 基于双 Nios II 软核处理器的机器人控制器设计[J]. 工业控制计算机, 2008, 21(10): 25-26.
- [7] 王海滨, 杨晓非. 基于 FPGA 的高速图像采集系统设计[J]. 单片机与嵌入式系统应用, 2009, 13(3): 28-30.
- [8] 杨隽, 周旋, 张敏瑞. BP 神经网络图像压缩算法乘累加单元的 FPGA 设计[J]. 现代电子技术, 2009, 38(4): 38-41.

(上接第 3093 页)

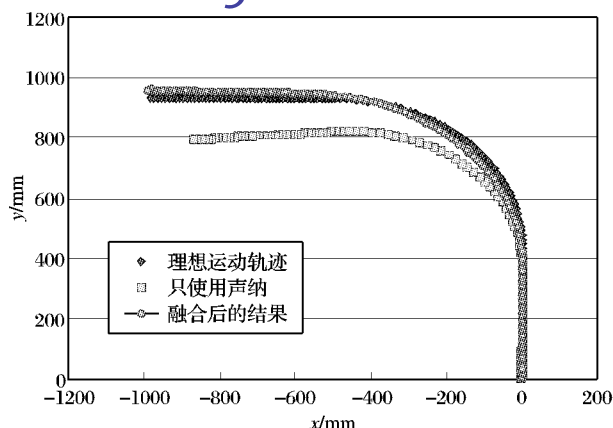


图 9 运动轨迹对比

参考文献:

- [1] 贺锋, 秦晓丽, 方勇纯. 一种基于遗传算法的移动机器人自定位方法[J]. 模式识别与人工智能, 2009, 22(1): 142-147.
- [2] 马斌良, 黄玉美, 史恩秀, 等. 基于信息融合的移动机器人侧向定位的研究[J]. 传感器与微系统, 2008, 27(11): 24-27.
- [3] 刘国良, 谢箭, 颜世佐, 等. 狭窄环境地形图建立的融合算法研究[J]. 哈尔滨工业大学学报, 2008, 40(1): 6-8.
- [4] HAN S M, PARK S K, JUNG J H, et al. Mobile robot navigation by circular path planning algorithm using camera and ultrasonic sensor [C]// IEEE International Symposium on Industrial Electronics. Washington, DC: IEEE, 2009: 1749-1754.
- [5] JOO J H, HONG D H, KIM Y G, et al. An enhanced path planning of fast mobile robot based on data fusion of image sensor and GPS [C]// ICROS-SICE. Washington, DC: IEEE, 2009: 5679-5684.
- [6] YU M, LI S Q. A method of robot navigation based on the multisensor fusion [C]// Intelligent Systems and Application. Washington, DC: IEEE, 2010: 1-4.
- [7] LU T, YUAN K, ZOU W, et al. Study on navigation strategy of intelligent wheelchair in narrow spaces [C]// The Sixth World Congress on Intelligent Control and Automation. Washington, DC: IEEE, 2006: 9252-9256.
- [8] 黄明登, 肖晓明, 蔡自兴, 等. 环境特征提取在移动机器人导航中的应用[J]. 控制工程, 2007, 14(3): 332-335.
- [9] 罗元, 张百胜, 李玲. 基于粒子群算法的单目移动机器人地图创建[J]. 微计算机信息, 2009, 25(14): 221-222.
- [10] 陈东. 三维激光和单目视觉间的联合标定与数据融合[D]. 大连: 大连理工大学, 2009.