

正则符号系数 FIR 滤波器优化算法

谭家杰,黄三伟,邹常青

(衡阳师范学院 物理与电子信息科学系,湖南 衡阳 421008)

(jiajietan@163.com)

摘要:为了节约有限长单位冲激响应(FIR)滤波器的资源,提高运行速度,提出了用最小均方根法将浮点系数量化为正则符号数(CSD)定点系数的方法。这种方法是先求出FIR滤波器的零点,将共轭成对零点组成两个基本节,采用级联型FIR结构,然后逐步对两个节进行定点数量化,最后量化为CSD定点数。为了验证这种方法的有效性,将它与简单量化进行了对比,结果表明最小均方根法更逼近原浮点系数滤波器,即该量化方式比简单量化更加有效。

关键词:数字滤波器;正则符号数;定点系数;最小均方根

中图分类号: TP393 **文献标志码:** A

Optimal algorithm for FIR digital filter with canonical signed digit coefficients

TAN Jia-jie, HUANG San-wei, ZOU Chang-qin

(Department of Physics and Electronic Information Science, Hengyang Normal University, Hengyang Hunan 421008, China)

Abstract: In order to save the resources of the Finite Impulse Response (FIR) filter and increase the running speed, it was proposed to use the Least Mean-Square-Error (LMSE) to transfer the float point coefficients filter to the Canonical Signed Digit (CSD) filter. The FIR filter was implemented by the cascades structure, which conjugated pairs of zeros into two basic sections. First, all zeros of the digital filter were calculated, which were made of two cascade sections for an FIR. And then the coefficients of the first cascade were transferred to fixed point. Next step was to quantize the second cascade coefficients into fixed point. To eliminate the finite word-length effects, the LMSE was adopted to compensate zeros in this step. Finally, all the fixed point coefficients were quantized into CSD. In order to prove the effectiveness of the two methods, and the FIR filter was also designed with simple quantized coefficients. The magnitude responses of two methods show that the LMSE quantization is more effective than that of the simple quantization.

Key words: digital filter; Canonical Signed Digit (CSD); fixed point coefficient; Least Mean-Square-Error (LMSE)

0 引言

有限长单位冲激响应(Finite Impulse Response, FIR)数字滤波器既可以满足任意幅度特性,又可以保证严格的相位特性,它的单位冲激响应是有限长且稳定的,是信号处理系统的重要组成部分。当前数字滤波器一般采用数字信号处理器(Digital Signal Processor, DSP)芯片或现场可编程门阵列(Field Programmable Gate Array, FPGA)实现。FPGA采用并行的运算结构实现FIR数字滤波器可以显著提高数据吞吐量,因此采用FPGA实现FIR滤波器逐步成为现代信号处理发展的趋势^[1-4]。

FIR滤波器的基本网络结构主要有直接型、级联型和格网型^[5]。FIR滤波器主要依靠乘法器、加法器来实现;降低滤波器运算量的主要方法依靠减少乘法量、降低乘法器的复杂程度、缩减滤波器系数的字长来实现^[2-3,6-7]。然而缩减系数字长,会产生系数量化效应。该效应导致FIR系统函数的零点在 z 平面会移动到新的位置。这就相当于幅度响应受到扰动而偏离了原来的幅度响应。如果系统实现结构对系数扰动具有高的灵敏度,那么得到的系统可能不再满足原来的设计指标。文献[6-7]对数字滤波器系数量化进行研究,采用正则符号数(Canonical Signed Digit, CSD)量化滤波器系数。文献[7-8]采用遗传算法对滤波器系数进行优化量化。文献[9]介绍了常系数串并行乘法器化简。文献[1,3-4,10]

用移位相加实现硬件乘法器,减少二进制系数的非零比特位数,对乘法模块改进来减少误差来优化资源。以上方法都是采用CSD编码节约系统资源并提高运行速度。

FIR滤波器的阶数一般较高,采用乘法器实现FIR会有过多资源,用移位和加法代替乘法器能节约资源。若滤波器的实时性要求比较高,那么滤波器的系数采用CDS定点系数更具有优势。因为这种数据格式更加适合硬件系统的快速运行,CSD系数能有效减少乘法器硬件实现所用资源^[4,6]。在设计数字滤波器时,为保证其精度要求,一般采用浮点数,那么将滤波器系数转换为CSD定点数而不改变滤波器的频率特性是非常困难的。论文提出了将数字滤波器的浮点系数转换成CSD定点数的优化方法,该方法在量化过程中补偿字长效应对滤波器特性影响,且确保变换对幅度响应影响最小。

1 基本原理

1.1 FIR滤波器的基本原理

FIR滤波器^[4-5]可以表示为:

$$y(n) = \sum_{i=0}^{N-1} x(i)h(N-i) \quad (1)$$

其中: N 为滤波器阶数, $x(n)$ 为输入信号, $y(n)$ 为输出信号, $h(n)$ 为系统单位脉冲响应,其传输函数用 $H(z)$ 表示。

CSD编码是一种三元数字系统,在表示同一浮点数时,在乘法运算中可以减少部分积的乘积项,从而减少加法运算

收稿日期:2011-01-04;修回日期:2011-02-16。 基金项目:湖南省教育厅科研项目(09C174)。

作者简介:谭家杰(1968-),男,湖南衡阳人,副教授,硕士,主要研究方向:信号处理;黄三伟(1969-),男,湖南衡阳人,副教授,硕士,主要研究方向:数字系统;邹常青(1982-),男,湖南衡阳人,讲师,硕士,主要研究方向:嵌入式系统。

量^[7]。对于浮点数 b 可以表示为:

$$b = \sum_{n=0}^{L-1} b_n 2^{-n} \quad (2)$$

其中 $b_n \in \{-1, 0, 1\}$ 。

1.2 滤波器 CSD 转换原理

根据文献[5] 的原则设计出 FIR 数字滤波器,滤波器采用级联形式,把 FIR 分解成两个或两个以上级联形式,其传输函数表达式为:

$$H(z) = kH_1(z)H_2(z) \quad (3)$$

这里的 $H_1(z), H_2(z)$ 为 z^{-1} 的多项式,且其首系数为 1。如果传输函数已经是首 1 的多项式形式,则无需对系数 k 进行变换。按照文献[5] 设计出的数字滤波器的系数为浮点数,然而为提高运行速度和节约资源,在实现数字滤波器时, FIR 的系数一般采用 CSD 表示。这样可以降低非零元素的数量,在乘法运算中减少加法器的数量,有利于提高运算速度,减少资源占用^[3-4]。将浮点数转换为 CSD 的步骤如下:

步骤 1 求出传输函数的级联形式,组成如式(3)的两个或两个以上的级联结构滤波器。

步骤 2 简单量化 k 及 $H_1(z)$ 的系数,得定点系数 k' 和多项式 $H_1'(z)$,其中 $H_1'(z)$ 的系数不同于 $H_1(z)$ 的。第二步的变换过程要满足公式:

$$H(z) \approx k'H_1'(z)H_2(z) \quad (4)$$

步骤 3 再将级联滤波器第二部分 $H_2(z)$ 的系数化为定点数,即满足式(5)。

$$H'(z) = k'H_1'(z)H_2'(z) \quad (5)$$

步骤 4 将所有滤波器的定点系数化为正则符号数表示,并将滤波器的 CSD 系数设置在 FPGA 系统中。

步骤 5 将得到的 CSD 滤波器与原浮点系数滤波器进行对比,验证它们的幅度特性是否相差过大。

上述将滤波器浮点系数转换为定点系数,然后将定点系数转化为 CSD 系数的过程称为 CSD 量化过程。由浮点系数化为 CSD 系数,这个过程采用幅度均方根最小的评价标准,即 CSD 系数滤波器和浮点系数滤波器的幅度响应差的平方差最小,由式(6)确定。

$$\varepsilon^2 = \frac{1}{2\pi} \int_{-\pi}^{\pi} |H(e^{-j\omega}) - H'(e^{-j\omega})|^2 d\omega = \sum_{n=0}^{N-1} |h(n) - h'(n)|^2 \quad (6)$$

其中: $H(e^{-j\omega}), H'(e^{-j\omega})$ 分别为浮点系数和定点系数滤波器的幅度响应, $h(n), h'(n)$ 分别为滤波器单位脉冲响应的浮点系数和 CSD 定点系数。量化后的滤波器有以下特点:1) 原滤波器与现滤波器幅度的均方根误差最小;2) 滤波器的乘法器用移位器和加法器代替。最后,滤波器的每个系数采用如文献[3-4, 6-10] 的正则无符号数。

2 滤波器实例设计

2.1 系数量化过程

为清楚说明浮点系数转换为 CSD 系数原理,以 19 阶低通 FIR 滤波器为例来说明量化过程。因为滤波器的传输函数公式过长,故将滤波器系数用表 1 列出。

按照步骤 1 将其分解成两个滤波器的级联形式,其浮点系数见表 2。

表 2 数据是先求出滤波器传输函数的零点,然后将共轭成对零点组合在一起,从而保证滤波器所有系数都是实数。最后采用多项式乘法将其化为首 1 的两个多项式。

按照步骤 2 将 $H_1(z)$ 的系数化为定点数,这样做便于

后面将定点数转换为正则符号数。变换过程确保 $H_1(z)$ 的系数变化不大,因此变换过程要求满足式(4)。变换后 $H_1(z)$ 的系数见表 3。

表 1 未量化的滤波器系数

n	$b(n)$	n	$b(n)$
0,18	1.0000	4,14	1.800
1,5,13,17	-0.0001	6,12	-3.0001
2,16	-1.2875	8,10	9.0002
3,7,11,15	0.0001	9	14.1375

表 2 两级未量化的 FIR 滤波器浮点系数

n	$b_1(n)$	n	$b_2(n)$
0,10	1.0000	0,8	1.0000
1,9	-0.3374	1,7	0.3373
2,8	-2.1606	2,6	0.9887
3,7	-0.8950	3,5	1.9573
4,6	1.8829	4	3.0153
5	3.5382		

表 3 第一次量化的 FIR 滤波器定点系数

n	$b_1(n)$	n	$b_1(n)$
0,10	1.00	3,7	-1.00
1,9	-0.25	4,6	1.875
2,8	-2.25	5	3.50

该变换最大的问题是改变了滤波器 $H_1(z)$ 的系数的大小,从而导致 $H_1(z)$ 的零点在 z 平面的位置发生了改变。系统受到系数的扰动,那么滤波器的幅度响应必然不会满足预定指标。因此此量化过程应该满足式(4)。

假设这种滤波器系数的变化不影响原来的幅度响应,接下来继续量化滤波器的第二部分,得到简单量化系数,见表 4。

表 4 简单量化系数

n	$b_1(n)$	n	$b_2(n)$
0,10	1.00	0,8	1.00
1,9	-0.25	1,7	0.25
2,8	-2.25	2,6	1.00
3,7	-1.00	3,5	1.875
4,6	1.875	4	3.00
5	3.50		

根据表 4 和表 1 的系数分别求出简单量化滤波器系数的幅度响应和未量化系数的幅度响应,这两种响应见图 1。

由图 1 可知,虚线是简单量化的幅度响应,线代表未量化滤波器的幅度响应。简单量化滤波器的幅度响应在通带部分与原滤波器变化较大,过渡带吻合非常好,阻带相差不是很大。造成这种现象的原因是对滤波器的第一个基本节系数量化使零点位置发生变化,从而导致简单量化后的幅度响应变化,因此不能按照上述思路来进行简单量化。

下面量化滤波器 $H_2(z)$ 的系数,由于第一次量化已经造成了零点移动,第二次量化是通过零点移动来补偿第一次零点移动带来的影响,因此满足式(7):

$$H(z) = k'H_1'(z)H_2'(z) \quad (7)$$

第一次量化时,产生有限字长效应已经导致部分零点移动。在不改变已量化部分的情况下,第二次量化可能会使系统幅度响应误差加大。这里,已量化的 $H_1'(z)$ 系数用矩阵表示为 $(b_1'(0), b_1'(1), b_1'(2), \dots, b_1'(10))$ 。 $H_2'(z)$ 未量化

的系数用矩阵表示为 $(b_2'(0), b_2'(1), b_2'(2), \dots, b_2'(8))$ 。已知滤波器 $H(z)$ 的系数用矩阵表示为 $(b(0), b(1), b(2), \dots, b(17), b(18))$ 。根据式(7), 第二次量化必须满足式(8):

$$\sum_{i=0}^{18} b(i)z^{-i} = k' \sum_{j=0}^{10} b_1'(j)z^{-j} \sum_{k=0}^8 b_2'(k)z^{-k} \quad (8)$$

根据多项式乘法, z 的等次幂系数满足下列关系式:

$$\begin{cases} b_1'(0)b_2'(0) = b(0)/k' \\ b_1'(1)b_2'(0) + b_1'(0)b_2'(1) = b(1)/k' \\ b_1'(2)b_2'(0) + b_1'(1)b_2'(1) + b_1'(0)b_2'(2) = b(2)/k' \\ \dots \\ b_1'(9)b_2'(8) + b_1'(8)b_2'(9) = b(17)/k' \\ b_1'(10)b_2'(8) = b(18)/k' \end{cases} \quad (9)$$

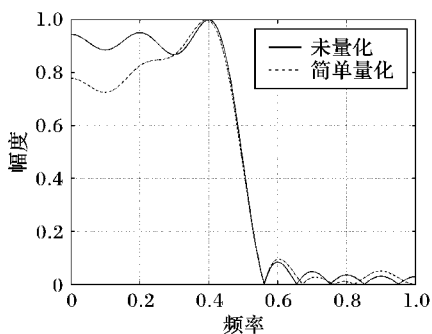


图1 简单量化及未量化滤波器的幅度响应

将上述方程组(9)化为矩阵形式:

$$Hb = c \quad (10)$$

其中, $b = [b_2'(0), b_2'(1), b_2'(2), \dots, b_2'(8)]^T$, $c = \frac{1}{k'}[b(0), b(1), \dots, b(17), b(18)]^T$, 算子 T 表示矩阵转置。

以上方程个数为 19 个, 未知数参数为 9 个, H 为 19×9 的矩阵, 线性方程组(10)的最优解为:

$$b = (H^T H)^{-1} H^T c \quad (11)$$

根据式(11)求出的解是最小二乘解, 并将浮点系数转换成定点系数得表 5。

表5 优化量化后 $H_2'(z)$ 的定点系数

n	$b_2(n)$	n	$b_2(n)$
0, 8	1.00	3, 5	2.00
1, 7	0.25	4	3.00
2, 6	1.00		

将表 3 和表 5 定点数系数量化为 CSD 系数得表 6。

表6 优化量化 CSD 系数

n	$b_1(n)$	n	$b_2(n)$
0, 10	001.000	0, 8	001.000
1, 9	000.010	1, 7	000.010
2, 8	010.010	2, 6	001.000
3, 7	001.000	3, 5	010.000
4, 6	010.001	4	011.000
5	011.100		

根据优化量化后的 CSD 定点系数和未量化的浮点系数, 分别求出滤波器幅度响应得图 2。

首先用式(6)计算 CSD 量化和简单量化的误差分别为 0.633 和 2.9489。从评价指标方面看, 显然优化量化好于简

单量化。其次, 从 CSD 量化、简单量化和未量化滤波器的幅度响应方面来看, 图 2 中的 CSD 优化量化滤波器的幅度响应与未量化滤波器在过渡带和阻带中两者吻合的比较。在通带部分吻合不是很理想。其原因是在第二次量化过程中, 还是改变了第二个滤波器的系数, 从而导致两者的差别。总体上来说, 两种量化都保持了原有的幅度响应特性, 其中, CSD 优化量化的逼近程度比简单量化更好。

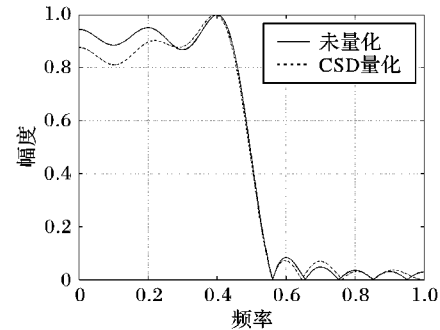


图2 CSD 量化系数与原滤波器幅度响应

2.2 占用资源比较

将表 1 和表 6 的滤波器系数分别设置到 FPGA 系统进行比较。系统采用 EP2C8T144C6 型 FPGA, 分别用未量化和简单量化的系数设计 FIR 数字滤波器。它们占有的资源情况如下: 系统总的逻辑单元有 8256 个, 采用未量化系数的滤波器用了 826 个逻辑单元, 资源占有率为 10%, 还用去 26 个硬件乘法器中的 7 个, 而采用 CSD 系数滤波器用了 598 个逻辑单元, 资源占有率为 7.2%。由于利用移位加法器, 因而未用硬件乘法器。在硬件资源方面, 采用 CSD 编码的数字滤波器更加节约系统资源。

3 结语

论文提出了最小均方根法将 FIR 滤波器浮点系数量化成 CSD 系数, 这种方法简单易行, 优化量化后保持了原滤波器的幅频特性。将 CSD 优化量化滤波器与简单量化滤波器进行对比, 结果表明, 均方根最小量化与简单量化的幅度响应更加接近; 采用 CSD 优化量化系数的级联 FIR 结构能够提高运行速度, 节约硬件系统资源。

参考文献:

- [1] 李莹, 路卫军, 于敦山, 等. 一种在 FPGA 上实现 FIR 数字滤波器的资源优化算法[J]. 北京大学学报: 自然科学版, 2009, 45(2): 222-226.
- [2] 李虎虎, 罗丰. 基于 CSD 方法滤波器的 FPGA 优化设计[J]. 现代雷达, 2007, 29(8): 44-47.
- [3] 何永泰, 黄文卿. 基于 FPGA 的 CSD 编码乘法器[J]. 电子测量技术, 2006, 29(4): 87-88.
- [4] 朱霞, 柴志雷, 须文波. 基于 FPGA 的数字滤波器乘法模块改进[J]. 计算机仿真, 2009, 26(1): 335-338.
- [5] 丁玉美, 高西全, 彭学愚. 数字信号处理[M]. 2 版. 西安: 西安电子科技大学出版社, 2002.
- [6] 印敏, 蔡跃明. 基于 CSD 量化的数字滤波器的设计[J]. 解放军理工大学学报: 自然科学版, 2003, 4(1): 36-38.
- [7] 岳顺, 蔡远利. FIR 滤波器优化设计[J]. 西北大学学报: 自然科学版, 2009, 39(4): 541-543.
- [8] 程军, 赵海龙, 陈贵灿. 基于 CSD 编码遗传算法的 FIR 滤波器优化设计[J]. 电路与系统学报, 2009, 14(5): 126-130.
- [9] 宋秀兰, 李晓江. 常系数 FIR 中的 CSD 串并乘法器设计[J]. 电子器件, 2009, 32(4): 797-800.
- [10] 熊承义, 田金文, 柳健. 基于 CSD 编码的高速乘法器 IP 设计[J]. 计算机工程与应用, 2003, 39(31): 38-40.