

文章编号:1001-9081(2012)02-0377-04

doi:10.3724/SP.J.1087.2012.00377

基于 LTE-Advanced 标准的 LDPC 码编码器设计与实现

方建伟*, 熊承义, 周城

(中南民族大学 电子信息工程学院, 武汉 430074)

(*通信作者电子邮箱 fjjw@126.com)

摘要:针对 LTE-Advanced 标准,在分析其低密度奇偶校验(LDPC)码校验矩阵构造基础上,设计了一种低成本高吞吐率的准循环 LDPC 码编码器结构。通过分析校验矩阵的子矩阵结构,将整个校验矩阵划分为全零子矩阵及循环移位单位子矩阵的块状结构,进行串行编码。实验结果表明,与同类方法相比,设计的编码器编码时间约为同类最理想时间的 32%,资源消耗约为同类最理想情况的 33%,在编码时间和资源消耗上达到平衡,满足 LTE-Advanced 标准低成本高传输的要求。此外,改变校验矩阵存储单元的参数,可实现不同码长码率的 LDPC 码编码。

关键词:LTE-Advanced 标准; 低密度奇偶校验码; 准循环码; 编码器

中图分类号:TN911.22 **文献标志码:**A

Design and implementation of LDPC code encoder in LTE-Advanced standard

FANG Jian-wei*, XIONG Cheng-yi, ZHOU Cheng

(School of Electronics and Information Engineering, South-Central University for Nationalities, Wuhan Hubei 430074, China)

Abstract: By analyzing the structure of Low-Density Parity-Check (LDPC) code check matrix in LTE-Advanced standard, this paper proposed a low-cost encoder with high input packet throughput on Quasi Cyclic-LDPC (QC-LDPC) code. With exploiting the number of null matrices in the mother parity check matrix, the whole parity check matrix could be partitioned into an array of block matrices, where each block matrix was either a null sub-matrix or a cyclic shift of an identity sub-matrix, and then it encoded serially. The experimental results show that the proposed encoder's coding time is the same as 32% of the ideal time and the resources consumption is the same as 33% of the ideal situation within the analogous methods. This result achieves the balance between coding time and resources consumption, which means the designed encoder meets the LTE-Advanced standard: low cost with high transmission. In addition, by changing the parameters in the ROM which saves the check matrix, the proposed encoder is flexible to implement the encoding of LDPC code with different code length or rate.

Key words: LTE-Advanced standard; Low-Density Parity-Check (LDPC) code; quasi cyclic; encoder

0 引言

随着无线数据业务的快速增长,传统网络对实时数据业务和大数据量业务的支撑正面临着越来越大的挑战,而 TD-SCDMA、WCDMA、CDMA2000 等 3G 网络也已经在全国各地广泛覆盖。为了进一步向 ITU IMT-Advanced(4G)标准演进,第三代合作伙伴计划(The 3rd Generation Partnership Project, 3GPP)^[1]于 2008 年在 3G 演进型系统(Long Term Evolution, LTE)基础上提出进一步演进的 LTE-Advanced^[2]标准。该标准保持对 LTE 系统的后向兼容,利用更宽的频谱带宽,并采用多天线技术多点传输,提供更高的峰值速率和吞吐量,达到 4G 标准的最低要求,目前是移动通信领域的一个重要研究方向,具有广泛应用前景。由于 LTE-Advanced 标准要求其信道编码技术能够支持 1 Gbps 速率传输,且允许在新的频段和应用场景选用其他调制编码技术^[3],而低密度奇偶校验(Low-Density Parity-Check, LDPC)码是一种性能非常接近 Shannon 极限的信道编码^[4],已得到广泛认可,与 Turbo^[5]码等相比具有很大优势,故在 LTE-Advanced 标准下如何高效地实现 LDPC 码是当前研究难点之一。

LDPC 码由 Gallager 博士于 1962 年提出^[6-7],该码是一种线性分组纠错码,既有逼近 Shannon 极限的良好性能,又具

有非常稀疏的校验矩阵,抗干扰能力强。此外,该码译码复杂度低,特别是在和积译码算法下,该码的良好性能得到越来越多的研究^[8-9],已被应用于深空通信、数字视频广播等多种领域。目前,它已成为第四代通信系统(4G)编码技术强有力的竞争者^[10],并在第二代卫星数字化视频广播(Digital Video Broadcasting-Satellite-Second Generation, DVB-S2)、数字电视地面广播传输(Terrestrial Digital Multimedia TV/Handle Broadcasting, DMB-TH)、中国移动多媒体广播(China Mobile Multimedia Broadcasting, CMMB)、802.16e、802.11n 等标准得到应用。

随着 LDPC 码的不断研究,设计 LTE-Advanced 标准下的 LDPC 码编码器逐渐成为研究的热点。文献[11-12]提出一种基于准循环结构的 LDPC(Quasi Cyclic-LDPC, QC-LDPC)码编码方法,该方法虽能应用于 LTE-Advanced 标准,但编码硬件消耗较大,编码时延及复杂度较高。文献[13]在 RU 编码算法^[14]基础上提出一种基于 802.16e 标准的 QC-LDPC 码编码方法,该方法同样能应用于 LTE-Advanced 标准,且能较大地减少硬件消耗,但是以增加编码时间为代价,编码吞吐率低。因此,为了能够利用较少的硬件资源消耗来获得较大的编码吞吐率,本文在分析 QC-LDPC 码编码算法及 LTE-

收稿日期:2011-07-22;修回日期:2011-09-16。

基金项目:国家自然科学基金资助项目(60972081);湖北自然科学基金资助项目(2009CDA139, 2010CDZ022)。

作者简介:方建伟(1985-),男,湖北孝感人,硕士研究生,主要研究方向:图像处理与传输; 熊承义(1969-),男,湖南临澧人,教授,主要研究方向:信号处理、图像与视频编码、压缩传感、实时系统; 周城(1979-),男,湖北武汉人,讲师,博士,主要研究方向:视频信号处理与传输。

Advanced 标准的基础上,设计了一种基于 LTE-Advanced 标准的 LDPC 码串行编码器结构。该方法充分利用 LTE-Advanced 标准中的 LDPC 码校验矩阵的稀疏性,将整个校验矩阵划分为具有循环移位矩阵特性的块状结构,然后进行串行编码。实验结果表明,本文编码方法能有效减少编码时延,编码吞吐率高,且硬件资源消耗较少。

1 LTE-Advanced 标准中的 LDPC 码

校验矩阵构造的好坏直接影响着 LDPC 码性能的好坏,在 LTE-Advanced 标准中,LDPC 码的校验矩阵基于准循环结构构造,且由母码奇偶校验矩阵扩展而来。

首先,定义母码奇偶校验矩阵为 \mathbf{M}_1 ,大小为 $(m_b' \times Z) \times (n_b' \times Z)$,即 \mathbf{M}_1 是由 $m_b' \times n_b'$ 个 $Z \times Z$ 大小的全零子矩阵及循环移位单位子矩阵构成,如式(1)所示:

$$\mathbf{M}_1 = \begin{bmatrix} \mathbf{u}^{h_{00}} & \mathbf{u}^{h_{01}} & \mathbf{u}^{h_{02}} & \cdots & \mathbf{u}^{h_{0n_b'-1}} \\ \mathbf{u}^{h_{10}} & \mathbf{u}^{h_{11}} & \mathbf{u}^{h_{12}} & \cdots & \mathbf{u}^{h_{1n_b'-1}} \\ \vdots & \vdots & \vdots & & \vdots \\ \mathbf{u}^{h_{m_b'-10}} & \mathbf{u}^{h_{m_b'-11}} & \mathbf{u}^{h_{m_b'-12}} & \cdots & \mathbf{u}^{h_{m_b'-1n_b'-1}} \end{bmatrix} = \mathbf{u}^{H_b}$$
(1)

根据 LTE-Advanced 标准可构造相应 h_{ij}^b 值,若整数 $h_{ij}^b =$

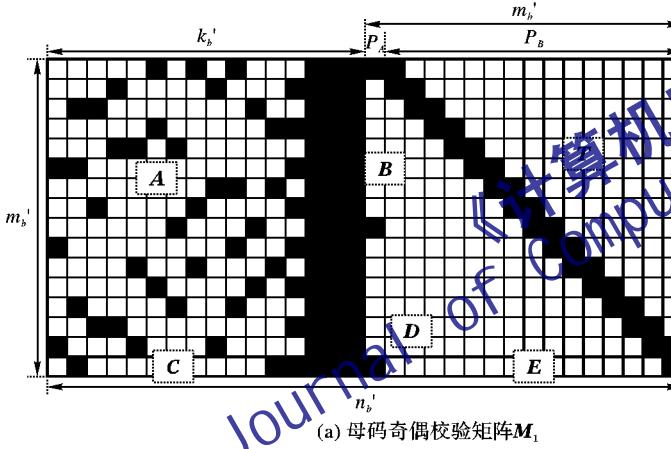


图 1 校验矩阵的分块结构

2 编码器设计

2.1 编码原理

为了方便介绍,在图 1(a)中将母码奇偶校验矩阵 \mathbf{M}_1 划分为 3 个大模块,分别对应信息序列、初始校验位 P_A 和剩余校验位 P_B ,故可将母码奇偶校验矩阵定义如式(4):

$$\mathbf{M}_1 = \begin{bmatrix} \mathbf{A} & \mathbf{B} & \mathbf{T} \\ \mathbf{C} & \mathbf{D} & \mathbf{E} \end{bmatrix} = [\mathbf{H}_1 \quad \mathbf{H}_{2A} \quad \mathbf{H}_{2B}] \quad (4)$$

其中: $\mathbf{H}_1 = \begin{bmatrix} \mathbf{A} \\ \mathbf{C} \end{bmatrix}$,对应信息序列; $\mathbf{H}_{2A} = \begin{bmatrix} \mathbf{B} \\ \mathbf{D} \end{bmatrix}$,对应初始校验位

P_A ; $\mathbf{H}_{2B} = \begin{bmatrix} \mathbf{T} \\ \mathbf{E} \end{bmatrix}$,对应其他校验位 P_B 。在编码时主要利用 \mathbf{H}_1 模块参与计算。

将系统输入的信息序列定义为 s ,且分为 $k_b' = n_b' - m_b'$ 组,每组大小为 Z 比特,那么 s 相应表示为 $s = [s_0, s_1, \dots, s_{k_b'-1}]$ 。通过 \mathbf{M}_1 所求得的奇偶校验位 $[P_A, P_B]$ 则可表示为 $[P_A, P_B] = [p_0, p_1, \dots, p_{m_b'-1}]$, $[P_A, P_B]$ 中的每组元素大小也为 Z 比特。其中 $P_A = p_0$, $P_B = [p_1, p_2, \dots, p_{m_b'-1}]$ 。

文献[15] 中已给出母码的奇偶校验位求解过程,即下列

-1 ,则 $\mathbf{u}^{h_{ij}^b}$ 是全零矩阵;若整数 $h_{ij}^b \neq -1$,则 $\mathbf{u}^{h_{ij}^b} = (\mathbf{u})^{h_{ij}^b}, \mathbf{u}$ 为 $Z \times Z$ 大小单位子矩阵,且 $(\mathbf{u})^{h_{ij}^b}$ 表示将 \mathbf{u} 循环移位 h_{ij}^b 次。

而在 LTE-Advanced 标准中, \mathbf{M}_1 具有近似下三角矩阵的结构,如图 1(a)所示,故可根据 RU 编码算法将 \mathbf{M}_1 分解为式(2):

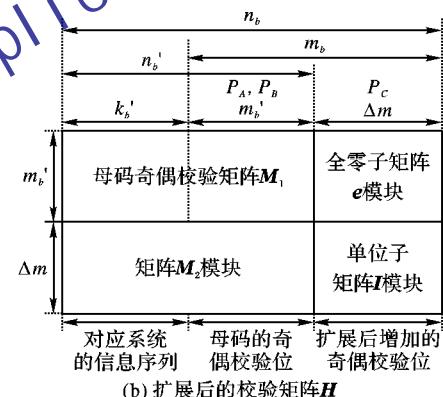
$$\mathbf{M}_1 = \begin{bmatrix} \mathbf{A} & \mathbf{B} & \mathbf{T} \\ \mathbf{C} & \mathbf{D} & \mathbf{E} \end{bmatrix} \quad (2)$$

其中: \mathbf{T} 为下三角单位矩阵; \mathbf{E} 为单位矩阵; \mathbf{D} 是一个 $Z \times Z$ 矩阵,且 $\begin{bmatrix} \mathbf{B} & \mathbf{T} \\ \mathbf{D} & \mathbf{E} \end{bmatrix}$ 可逆。

由于 LTE-Advanced 标准中的奇偶校验矩阵 \mathbf{H} 是由母码奇偶校验矩阵 \mathbf{M}_1 扩展得到,即在母码奇偶校验矩阵 \mathbf{M}_1 基础上增加一些特殊矩阵,如式(3)所示:

$$\mathbf{H} = \begin{bmatrix} \mathbf{M}_1 & \mathbf{e} \\ \mathbf{M}_2 & \mathbf{I} \end{bmatrix} \quad (3)$$

其中:特殊矩阵包括全零子矩阵 \mathbf{e} 、循环单位子矩阵 \mathbf{I} 和矩阵 \mathbf{M}_2 。扩展后的校验矩阵 \mathbf{H} 具有图 1(b) 形式,大小为 $m_b \times n_b$,对应的奇偶校验位分为 3 个部分: P_A 、 P_B 和 P_C 。从图 1(a) 可知,利用 $[\mathbf{M}_2 \quad \mathbf{I}]$ 就可较简单地得到 P_C ;而 P_A 、 P_B 的计算与 \mathbf{M}_1 相关,是整个编码系统最为复杂的部分,故是本文研究的重点所在。



(b) 扩展后的校验矩阵 \mathbf{H}

式(5) ~ (11):

$$p_0 = \sum_{i=0}^{m_b'-1} \sum_{j=0}^{k_b'-1} \mathbf{h}_{i,j} s_j \quad (5)$$

其中 $\mathbf{h}_{i,j}$ 为校验矩阵中的循环右移单位子矩阵,在本文中即为 $\mathbf{H}_1 = \begin{bmatrix} \mathbf{A} \\ \mathbf{C} \end{bmatrix}$ 模块中的循环右移单位子矩阵。

$$\lambda_i = \sum_{j=0}^{k_b'-1} \mathbf{h}_{i,j} s_j; i = 0, 1, \dots, m_b' - 1 \quad (6)$$

$$p_0 = \sum_{i=0}^{m_b'-1} \lambda_i \quad (7)$$

$$p_1 = \lambda_0 + \Pi_1 p_0 \quad (8)$$

其中的 $\Pi_1 p_0$ 表示将 p_0 循环右移一位。

$$p_{m_b'-1} = \lambda_{m_b'-1} + \Pi_1 p_0 \quad (9)$$

$$p_{x+1} = p_x + p_0 + \lambda_x \quad (10)$$

其中 x 是文献[15] 中根据标准所定义的特殊一行。

$$p_{i+1} = p_i + \lambda_i; i \neq 0, x, m_b' - 1 \quad (11)$$

综上可知,母码的奇偶校验位 $[P_A, P_B]$ 的计算只与参数 λ_i 相关,而 λ_i 只与根据标准构造的循环移位单位子矩阵 $\mathbf{h}_{i,j}$ 和系统输入的信息序列 s_j 相关,从而使得编码过程简化。

2.2 结构设计

分析发现,一方面,若要获得较高吞吐率,减少编码时延,在设计编码器结构时,需要考虑并行计算校验位 P_A 、 P_B 和 P_C ,而在研究与 P_C 相关的矩阵 $[M_2 \quad I]$ 结构后发现, P_C 只与系统信息序列 s_j 、 P_A 和 P_B 相关,因此可利用当前系统信息序列 s_j 和求得的 P_A 、 P_B 来计算 P_C ,故整个编码时延主要受 P_A 和 P_B 计算的影响;另一方面,若要减少资源消耗,必须串行地计算校验位 P_A 、 P_B 和 P_C 。因此,为了在编码时间消耗和资源消耗上找到一个平衡点,本文设计了如图 2 所示的编码器结构。

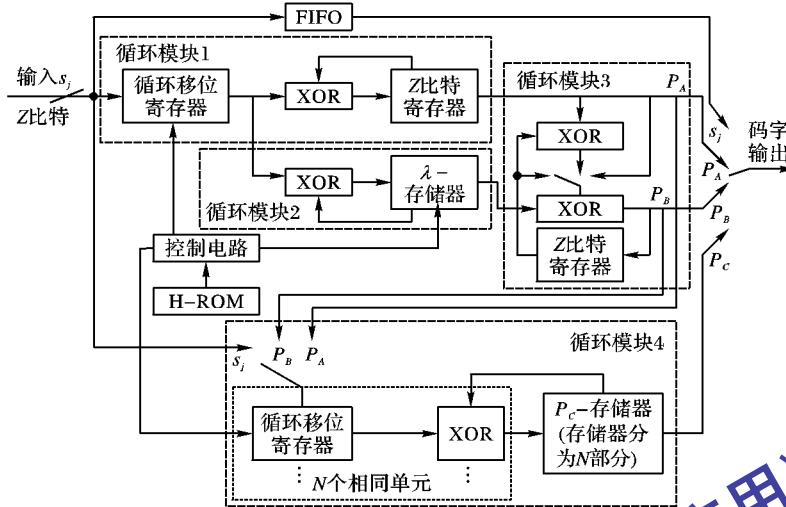


图 2 QC-LDPC 码编码器结构

1) 母码的奇偶校验位 P_A 、 P_B 计算单元。

该单元主要由循环模块 1、循环模块 2 和循环模块 4 构成,完成式(5)~(11)的计算。其工作前提是:在每个时钟周期内,系统只接收 Z 比特信息(即 s_j),并在 M_1 中选择与 s_j 相关的列中的一个子矩阵依次对应计算。

循环模块 1 根据式(5)完成校验位 P_0 (即 P_A)的计算。其中循环移位寄存器完成 $\mathbf{h}_{i,j}s_j$ 的计算。由于 $\mathbf{h}_{i,j}$ 是根据标准中的母码校验矩阵所构造的循环移位单位矩阵,故只需通过控制电路,将该时钟周期内的系统信息位 s_j 循环移位即可完成 $\mathbf{h}_{i,j}s_j$ (后面已定义 $c_n = \mathbf{h}_{i,j}s_j$)的计算。而异或门(XOR)则是将反馈的 c_n 和下一个值 c_{n+1} 叠加,以此类推,最终得到校验位 P_0 。计算 P_0 所需时钟周期为: $\delta \cdot m_b' \cdot k_b'$, 其中, $\delta = H_1$ 中非零子矩阵个数/ H_1 中全部子矩阵个数。

在计算 P_0 的同时,循环模块 2 根据式(6)完成 λ_i 的计算,并将 λ_i 值对应存入 λ -存储器中。由于该过程与 P_0 的计算是同时的,故不需额外的时间消耗。

而循环模块 3 则根据式(8)~(11)完成校验位 P_B 的计算。该模块由 2 个异或门(XOR)和 Z 比特大小的寄存器构成。则计算 P_0 和 P_B 所消耗的总时钟周期为 $\delta \cdot m_b' \cdot k_b' + m_b'$ 。

图 3 是三个循环模块对应图 1(a)所示的母码奇偶校验矩阵的编码顺序。定义 c_n 为第 n 个时钟周期的 $\mathbf{h}_{i,j}s_j$ 值,即 $c_n = \mathbf{h}_{i,j}s_j$ 。循环模块 1 按实线箭头方向计算 c_n ,且总是将前一个值(如 c_1)反馈与下一个值(如 c_2)叠加,然后再反馈与下一个值(如 c_3)叠加,以此类推,直到所有 c_n 叠加完毕,即得到 P_0 。同时,在循环模块 2 中, λ -存储器分为 m_b' 段,对应存储每列的 c_n 值。图 3 中当系统接收 s_0 时, λ -存储器对应存储 c_1, c_2, c_3 ;当接收 s_1 时, λ -存储器对应存储 $c_4, c_5 + c_1, c_6, c_7$;当接收 s_2 时, λ -存储器对应存储 $(c_8 + c_4), c_9, c_{10}$ 。以此类推,最终 λ -存储器中的 m_b' 个值即为所求的 λ_i 。在循环模块 3 中,利用 P_0 和 λ_i ,

即可依次求得剩余奇偶校验位。当所有 $\mathbf{h}_{i,j}s_j$ 计算完毕后,系统接收下一个 Z 比特信息序列 s_{j+1} ,重复上述过程。

2) 扩展的奇偶校验位 P_C 计算单元。

当接收一组信息 s_j 时, s_j 总是连续地与 M_1 相关列计算,得到 P_A 和 P_B 。同时, s_j 也连续地与 M_2 相关列计算,得到 P_C 。循环模块 4 为 P_C 的计算单元,其计算顺序与图 3 相同。虽然 LTE-Advanced 标准定义的 M_1, M_2 是稀疏矩阵,但 M_2 每列中的非零子矩阵比 M_1 多,若再利用这些子矩阵连续计算 P_C ,则会大大增加整个编码时间。因此,为了减少时间消耗,需要根

据 P_C 码字的多少将 P_C 存储器分为 N 段,同时将循环移位寄存器和异或门(XOR)模块相应重复 N 次,采用并行计算的方法得到 P_C 。

综上,该编码器的编码时间包括两部分:计算 P_A 和 P_B 时间 $\delta \cdot m_b' \cdot k_b' + m_b'$;计算 P_C 时间 $m_b - m_b'$ (由于 M_2 的稀疏性,实际消耗小于或者等于该值)。则整个编码的时间为:

$$(\delta \cdot m_b' \cdot k_b' + m_b') + (m_b - m_b') = \\ \delta \cdot m_b' \cdot k_b' + m_b$$

3) 其他单元。

先入先出(First Input First Output, FIFO)模块存储系统信息,并将其送到输出端。只读存储器(Read-Only Memory, H-ROM)模块存储标准中定义的奇偶校验矩阵参数,通过参数的改变,可以实现具有类似校验矩阵的 LDPC 码编码。

	s_1	...	s_j
	c_{11}	c_{23}	c_{29}
c_4	c_8	c_{26}	$c_{40} \quad c_{49} \quad c_{65} \quad c_{81}$
	c_{18}		$c_{33} \quad c_{50} \quad c_{66} \quad c_{82}$
	$c_{12} \quad c_{14}$	c_{20}	$c_{36} \quad c_{41} \quad c_{51} \quad c_{67} \quad c_{83}$
c_1	c_5		$c_{52} \quad c_{68} \quad c_{84}$
		$c_{27} \quad c_{30}$	$c_{42} \quad c_{53} \quad c_{69} \quad c_{85}$
	c_9	c_{24}	$c_{43} \quad c_{55} \quad c_{71} \quad c_{85}$
		c_{21}	$c_{34} \quad c_{56} \quad c_{72} \quad c_{88}$
c_2		c_{31}	$c_{44} \quad c_{57} \quad c_{73} \quad c_{89}$
	c_{15}	c_{25}	$c_{38} \quad c_{58} \quad c_{74} \quad c_{90}$
		c_{19}	$c_{35} \quad c_{45} \quad c_{59} \quad c_{75} \quad c_{91}$
c_6		c_{22}	$c_{60} \quad c_{76} \quad c_{92}$
	$c_{10} \quad c_{13}$	c_{32}	$c_{46} \quad c_{61} \quad c_{77} \quad c_{93}$
c_3		c_{28}	$c_{62} \quad c_{78} \quad c_{94}$
c_7			$c_{47} \quad c_{63} \quad c_{79} \quad c_{95}$

图 3 循环模块 1、2、3 编码顺序

3 实验结果及分析

将本文编码方法与文献[11~12]方法做了比较。其中文献[11~12]研究了一种同样适用于 LTE-Advanced 标准的 QC-LDPC 码通用编码器设计方案,该方案包括三种编码结构:串行编码结构、并行编码结构和串并联合编码结构。在实验中,选取码率 $R = 1/3$, $Z = 384$, $m_b' = 16$, $k_b' = 16$, $n_b' = 32$, $m_b = 32$, $n_b = 48$ 的校验矩阵,对系统信息序列编码后,资源消耗情况如表 1 所示。

实验结果表明,本文设计的编码器与文献[11~12]相比:

1) 在编码时间消耗上,文献[11~12]方法所需编码时钟

周期的最理想情况是本文 3 倍以上。因此,本文所设计的编码器结构能够大幅度降低编码时延,相应提高了编码吞吐率。

表 1 资源消耗情况

编码方法	编码时钟周期/ μ s	存储器容量/bit	寄存器容量/bit	异或门(XOR)	与门(AND)	循环移位寄存器
本文方法	122	26915	1536	7680	0	17
文献 [11-12] 方法	串行	6144	92160	24576	12288	32
	并行	12288	92160	6144	6143	16
串并联合	384	92160	196608	196576	196608	512

综上可知,本文设计的编码器结构,能够在编码时延和资源消耗上达到一个平衡点,即用相对较少的资源消耗就能获得较高的编码吞吐率。此外,该编码器的 H-ROM 模块经过重新配置参数后可实现具有类似校验矩阵的 LDPC 码编码。

4 结语

本文分析了 LTE-Advanced 标准下的 LDPC 码,研究了其校验矩阵构造,并在串行编码方法基础上设计了一种应用于 LTE-Advanced 标准的低成本高吞吐率 LDPC 码编码器。实验结果表明,与同类方法比较,该编码器不仅能够减少编码所需时间,还能够降低资源消耗和硬件实现复杂度。此外,该编码器结构灵活多变,能够适用于多种码长码率的校验矩阵编码,具有一定的通用性。

参考文献:

- [1] 3GPP TS 36.212 v8.5.0, Multiplexing and channel coding [S]. 2008.
- [2] 3GPP TR 36.912, Feasibility study for further advancements for E-UTRA (LTE-Advanced) [S]. 2009.
- [3] RI-081752, Proposals on PHY related aspects in LTE advanced agenda item: 6.2, 3GPP TSG RAN#53 [R]. Kansas City: [s. n.], 2008.
- [4] ZHANG HUXING, YU HONGYANG. Multi-rate QC-LDPC encoder [C]// ICTD 2009: IEEE Circuits and Systems International Conference on Testing and Diagnosis. Piscataway: IEEE, 2009: 1-4.
- [5] BERROU C, CLAVIEUX A. Near-optimum error-correcting coding and decoding: Turbo codes [J]. IEEE Transactions on Communications, 1996, 44(10): 1261-1271.
- [6] GALLAGER R G. Low-density parity-check codes [J]. IRE Transactions on Information Theory, 1962, IT-8: 21-28.
- [7] GALLAGER R G. Low-density parity-check codes [D]. Cambridge: Massachusetts Institute of Technology, Department of Electrical Engineering, 1963.
- [8] CHOI S, SANDEEP PRADHAN S. A graph-based framework for transmission of correlated sources over broadcast channels [J]. IEEE Transactions on Information Theory, 2008, 54(7): 2841-2856.
- [9] GONG CHEN, LIU QI, CUI HUIJUAN, et al. Switch-type hybrid hard decision decoding algorithms for regular low-density parity-check codes [J]. IEEE Transactions on Information Theory, 2008, 54(7): 3181-3188.
- [10] XU JIN, XU JUN. Structured LDPC applied in IMT-advanced system [C]// WiCOM '08: 4th International Conference on Wireless Communications, Networking and Mobile Computing. Piscataway: IEEE, 2008: 1-4.
- [11] CHEN LIANG, YAN SHIJUN, ZHANG WENJUN, et al. Hardware design of quasi cyclic low-density parity-check encoder based on a novel RC-scheme [C]// ICCSC 2008: 4th IEEE International Conference on Circuits and Systems for Communications. Piscataway: IEEE, 2008: 594-598.
- [12] CHEN LIANG, YAN SHIJUN, SHI XIUMIN, et al. Flexible hardware encoding schemes for extended quasi-cyclic low-density parity-check codes [C]// ISSPA 2007: 9th International Symposium on Signal Processing and Its Applications. Piscataway: IEEE, 2007: 1-4.
- [13] KIM J K, YOO H, LEE M H. Efficient encoding architecture for IEEE 802.16e LDPC codes [J]. IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 2008, E91-A(12): 3607-3611.
- [14] RICHARDSON T J, URBANK R L. Efficient encoding of low-density parity-check codes [J]. IEEE Transactions on Information Theory, 2001, 47(2): 638-656.
- [15] CAI Z, HAO J, TAN P H, et al. Efficient encoding of IEEE 802.11n LDPC codes [J]. IET Electronics Letters, 2006, 42(25): 1471-1472.

(上接第 376 页)

- [2] SUE W, JEFFERSON L X, MENGCHOU Z. Real-time modulation classification based on maximum likelihood [J]. IEEE Communication Letters, 2008, 12(11): 801-803.
- [3] AVCI D. An intelligent system using adaptive wavelet entropy for automatic analog modulation identification [J]. Digital Signal Processing, 2010, 20(4): 1196-1206.
- [4] XU J L, SU WEI, ZHOU MENGCHU. Software-defined radio equipped with rapid modulation recognition [J]. IEEE Transactions on Vehicular Technology, 2010, 59(4): 1659-1667.
- [5] ZENG DEGUO, XIONG HUI, WANG JUN, et al. An approach to intra-pulse modulation recognition based on the ambiguity function [J]. Circuits System Signal Process, 2010, 29(6): 1103-1122.
- [6] 杨水旺. 数字中频接收机关键技术研究 [D]. 哈尔滨: 哈尔滨工业大学, 2007.
- [7] WAHLBERG B O. ARMA spectral estimation of narrow band processes via model reduction [J]. IEEE Transactions on Acoustics, Speech and Signal Processing, 1990, 38(7): 1144-1154.
- [8] SCHMIDT R O. Multiple emitter location and signal parameter estimation [J]. IEEE Transactions on Antennas and Propagation, 1986, 34(3): 276-280.
- [9] 黄佑勇, 王激扬, 陈天麒. 基于欠采样的宽频段信号频率估计技术 [J]. 电波科学学报, 2001, 16(2): 275-279.
- [10] FISCHLER M A, BOLLES R C. Random sample consensus: A paradigm for model fitting with applications to image analysis and automated cartography [J]. Communication of the ACM, 1981, 24(6): 381-395.