

小卫星模拟系统中多路串行通信系统设计

张文凯^{1,2}, 关桂霞¹, 赵海盟², 王明志², 吴太夏³, 晏磊^{2*}

(1. 首都师范大学 信息工程学院, 北京 100048; 2. 空间信息集成与 3S 工程应用北京市重点实验室(北京大学), 北京 100871;

3. 中国科学院 遥感与数字地球研究所, 北京 100094)

(* 通信作者电子邮箱 lyang@pku.edu.cn)

摘要:针对小卫星模拟系统中星载计算机与相机载荷通信及控制问题, 研发多路串行通信控制系统。系统设计采用 Host-Target 模式, 在星载计算机(Host)端软件实现多路通信管理子系统, 设计基于现场可编程门阵列(FPGA)的相机载荷分控单元(Target); 同时, 在 RS-232 通信协议基础上提出一种多路串行通信协议, 完成星载计算机与相机载荷分控单元的通信控制。用 SignalTap II 逻辑分析工具捕捉 FPGA 内部实时信号对系统性能进行验证, 结果表明该系统可对单一或者多路相机载荷进行灵活控制与管理。

关键词:小卫星模拟系统; 相机载荷; RS-232 通信协议; 现场可编程门阵列; 多路控制

中图分类号: TP273.5 **文献标志码:** A

Design of multi-serial communication for micro-satellite simulation system

ZHANG Wenkai^{1,2}, GUAN Guixia¹, ZHAO Haimeng², WANG Mingzhi², WU Taixia³, YAN Lei^{2*}

(1. College of Information Engineering, Capital Normal University, Beijing 100048, China;

2. Beijing Key Lab of Spatial Information Integration and 3S Applications (Peking University), Beijing 100871, China;

3. Institute of Remote Sensing and Digital Earth, Chinese Academy of Sciences, Beijing 100094, China)

Abstract: A communication system with several serial ports was developed to realize the communication between On-Board Computer (OBC) and cameras in micro-satellite simulation system. The system was designed in Host-Target model. The Host sever managed the multiplex communications between the host and its clients. It also sent out trigger signal to control five cameras through a Field Programmable Gate Array (FPGA) chipset. In addition, a multiplex serial communication protocol based on RS-232 protocol was proposed to complete the communication. The logic analytical tool SignalTap II was used to capture the real-time signal of FPGA to verify the performance of the system. The results indicate that the system can control and manage a single camera or multiple cameras flexibly.

Key words: micro-satellite simulation system; camera load; RS-232 communication protocol; Field Programmable Gate Array (FPGA); multiplex control

0 引言

作为构建小卫星上智能观测系统的前期准备, 需首先构建地面小卫星模拟系统, 在此基础上, 进一步构建小卫星智能观测模拟系统, 完成星上智能观测系统的性能测试^[1-2]。模拟系统主要包含星载计算机、五路相机载荷、载荷分控单元、数据存储系统、总线控制系统、电源管理系统和测控系统等几大部分^[3], 其中, 星载计算机与多相机载荷之间的灵活通信与控制, 是实现小卫星观测智能化重要的一环^[4]。常用的卫星总线控制方式, 如美国军方制定的 MIL-STD-1553B 串行总线^[5], 其控制方式、传输速度、高可靠性及灵活性都有很大的优势, 但是功耗较大, 传输匹配很严格, 连线要求高, 从而限制了在小卫星领域的大规模应用^[6]。

RS-232 是一种低速率、短距离、低成本, 具有高可靠性的串行通信标准^[7], 而系统中载荷分控单元和星载计算机之间的命令通信要求可靠稳定, 并不需要过高速率, 因此以 RS-232 通信协议为基础来构建系统是理想的选择。目前, 在多

路串行通信控制设计主流方案中, 可利用处理器通用的 I/O 口构成串口^[8], 或者在微处理器并行总线上扩展 UART (Universal Asynchronous Receiver/Transmitter) 芯片。文献[9]用现场可编程门阵列(Field Programmable Gate Array, FPGA)构建多个简易 UART 实现对设备多路控制, 但无完整信息交互协议, 在反馈方面缺乏灵活性。文献[10]设计基于 ARM (Advanced RISC Machine) 处理器的多路串行通信接口, 性能良好, 但无法与智能观测其他子系统较好集成。

为了克服传统设计方案控制方式单一、灵活性差的缺点, 同时考虑到系统的易于集成性和稳定性, 本文提出一种采用 Host-Target 设计模式, 基于 FPGA 实现的多路串行通信控制方案。设计 Host(星载计算机)与 Target(载荷分控单元)两端各个模块的主要功能及接口, 同时在 RS-232 通信协议基础上定义两端通信协议——多路串行通信协议。星载计算机上实现的多路通信管理软件系统可实现点对多的通信控制; 载荷分控单元基于 FPGA 设计, 完成对星载计算机的命令的解码与判断, 然后通过五路通信通道进入相机载荷命令控制单元

收稿日期: 2013-06-03; 修回日期: 2013-07-30。

基金项目: 国家科技支撑计划项目(2011BAH23B01); 国家自然科学基金资助项目(11174017); 北京市自然科学基金资助项目(1093016)。

作者简介: 张文凯(1987-), 男, 河北石家庄人, 硕士研究生, 主要研究方向: 嵌入式系统; 关桂霞(1972-), 女, 甘肃白银人, 副教授, 博士, 主要研究方向: 偏振导航; 赵海盟(1980-), 男, 陕西咸阳人, 工程师, 主要研究方向: 卫星导航, 嵌入式系统; 王明志(1982-), 男, 河南信阳人, 博士研究生, 主要研究方向: 遥感成像系统; 吴太夏(1979-), 男, 安徽桐城人, 副研究员, 博士, 主要研究方向: 偏振高光谱遥感; 晏磊(1956-), 男, 湖北武汉人, 教授, 博士, 主要研究方向: 偏振与无人机仿生遥感、高分辨率成像与遥感定标、卫星导航。

控制相机完成相应工作。

1 系统总体设计

系统主要由两大部分组成:星载计算机软件控制和相机载荷分控单元 FPGA 硬件实现。

如图1,通信综合软件管理系统负责多载荷设备的管理、命令数据收发及相关参数设置等功能,包括多载荷设备管理、命令数据收发、相关参数设置等模块。在 VC6.0 平台上基于 MFC 框架进行开发,在实现顶层功能模块的基础上,完成 Host-Target 两端数据的多路串行通信协议的封装以及 RS-232 串口通信协议的实现,同时提供给外部应用软件调用接口以实现整个小卫星智能观测系统的软件集成。

载荷分控单元主要负责接收通信综合软件管理系统传来

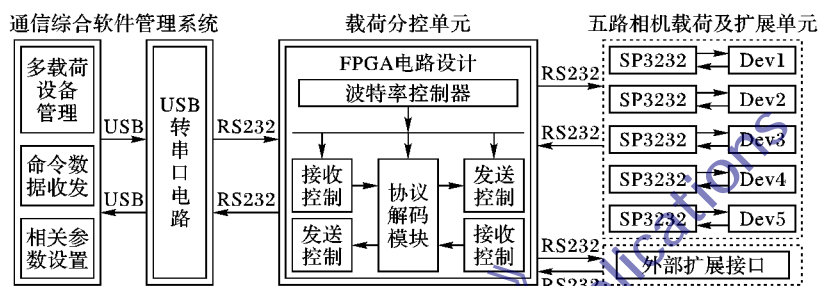


图1 系统设计总体框图

2 协议分析

系统中,在 RS-232 通信协议的基础上制定 Host-Target 两端通信协议为多路串行通信协议,如图2,此协议在 Host 端通信综合软件管理系统负责将应用程序输入到内存缓冲区的数据进行帧封装,同时在 Target 端载荷分控单元实现基于 FPGA 的协议帧包硬核解析。在此基础上,实现 Host 端与 Target 端之间数据交互。

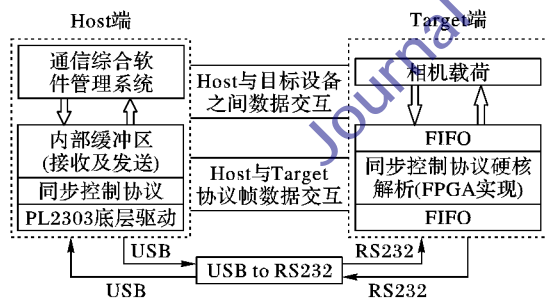


图2 多路串行通信协议组织结构

2.1 协议帧结构

如图3,协议帧包由同步帧头与同步帧尾、信息域、数据域和校验域四部分组成。其中:同步帧头、同步帧尾固定为八字节(32'h7CD215D8),负责同步数据帧^[13];信息域主要包含主机与设备等通信双方的地址信息,为数据流向提供依据;数据域由命令域与保留域两部分组成,总共32位,负责接收缓冲区中应用程序命令数据,该指令将会在 FPGA 状态机中被抽取出来发送到指定的端口输出;校验域则主要用于误码校验。

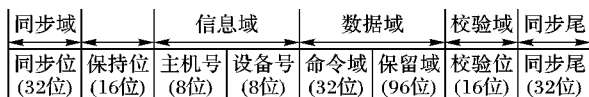


图3 多路串行通信协议

命令数据通过多路串行通信形成帧包后,经过 USB 转串

的命令数据以及根据命令来对多相机载荷设备进行命令控制,同时接收相机载荷反馈回来数据回传给通信综合软件管理系统,完成基于 FPGA 的一转多路串行通信系统设计。此单元主要由三部分组成:串口数据接收模块、串口数据发送模块和多路串行通信协议解析模块^[11]。

通信综合软件管理系统采用 USB 接口,而五路相机载荷和星载计算机之间通信采用串口形式。为实现 Host-Target 两端通信,设计 USB 转串口电路模块,转换芯片选用 Prolific 公司 PL2303,即可实现 USB 与串口的数据格式转换^[12]。

另外,FPGA 引脚电平配置为 3.3 V,而五路相机载荷接口引脚电平为 12~15 V,设计电平转换电路,实现信号电平转换。转换芯片选用 Sipex 公司的 SP3232,配置相应相机载荷接口,完成 TTL 电平到 RS-232 的转换。

口驱动,协议帧包将被按照 RS-232 串口帧格式重新分解打包,图4为 RS-232 串口协议帧包结构,主要包括:1 位起始位,6~8 位数据位,1 位校验位和 1 位停止位。设置主要参数为波特率 9 600 b/s,数据位 8 位,偶校验,1 位停止位的单帧 11 位数据帧结构。

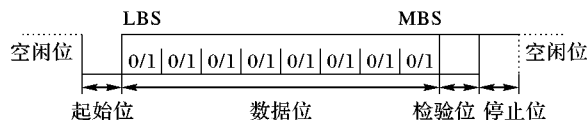


图4 串口通信协议

2.2 协议状态转移分析

图5显示了多路串行通信协议状态转移图。

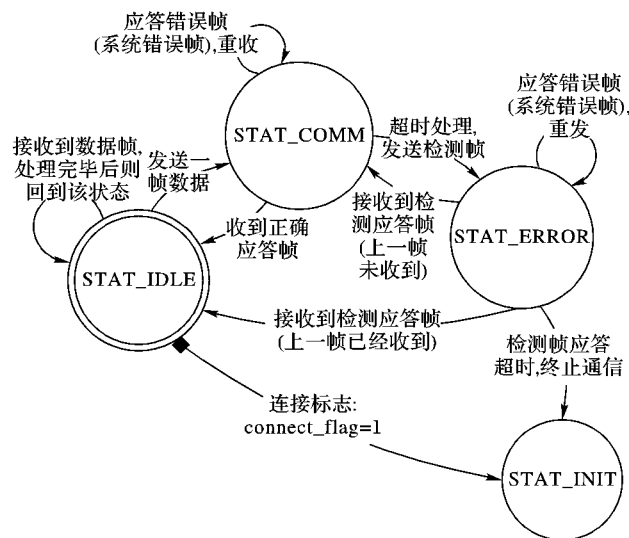


图5 多路串行通信状态转移图

主要状态有:

1) STAT_INIT 初始化状态,此状态下,系统刚刚对上位机进行初始化,内部缓冲区清空,各个状态复位。

2) STAT_IDLE 通信空闲状态,在此状态之下,通信链路建立好,可以进行数据通信。

3) STAT_COMM 数据通信状态,上位机刚发送一帧数据,在等待对方数据应答。

4) STAT_ERROR 异常处理状态,应答帧超时,等待发送检测帧,等待对方应答。

状态转换过程为:

系统最初处于 STAT_INIT 状态,当通信链路建立完毕 (connect_flag = 1),则进入 STAT_IDLE 状态,正式进入通信状态。当发送一帧数据,则进行 STAT_COMM 状态,此状态下 Host 端收到应答帧,则回到 STAT_IDLE 状态等待下一帧的发送。若 Host 接收应答帧超时,则进入 STAT_ERROR 状态。

发送检测帧,若收到检测应答帧,则回到 STAT_IDLE 状态;若等待检测应答帧超时,则直接回到 STAT_INIT 状态,提示 Host 数据发送失败,请求重新连接。

3 载荷分控单元设计与实现

3.1 基于 FPGA 顶层模块设计

载荷分控单元硬件系统主要实现通信综合软件管理系统命令的接收与发送、协议解码、多相机设备控制等功能,整个系统在 FPGA 平台上用硬件编程语言 Verilog 实现^[14]。图 6 为整个分控单元设计顶层信号流程,系统由三大模块组成:星载计算机数据接收及发送模块、协议解码模块和相机载荷数据接收及发送模块。

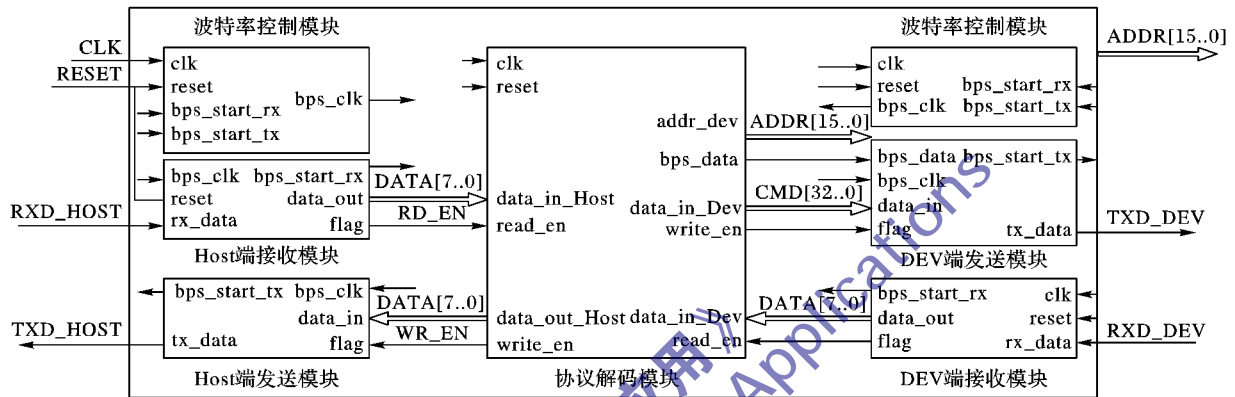


图6 多路串行通信系统信号流

星载计算机数据接收与发送模块负责接收从星载计算机端传过来的 RS-232 串口数据,按照约定波特率进行起始位检测,8 位裸数据提取并转换成并行输出到协议解码模块;同时接收协议解码模块传过来的 8 位并行数据并转换成串行数据后按照 RS-232 标准格式打包,最后按照约定波特率将其串行发送到星载计算机。

协议解码模块完成对多路串行通信帧包的解析^[15],包括帧头(7CD215D8)的识别、帧包地址信息(设备号)的提取、命令数据的识别及发送等功能。其中,模块输入为 8 位并行裸数据,经协议解析后输出为 32 位命令数据,在协议帧包中设备地址信息的控制下,命令数据被发往对应的相机载荷发送模块。

相机载荷数据接收与发送模块则完成与对应相机载荷的交互通信。发送模块在完成 32 位串并转换的基础上,在波特

率控制器的控制下,按照约定速率将封装好的串口数据发送到相机载荷接口,进行控制;同理,接收模块接收相机载荷反馈命令数据,在提取裸数据后进行串并转换后,发送到协议解码模块进行处理。

3.2 接收与发送模块分析

接收模块由起始位检测模块、计数器、裸数据提取模块、串并转换模块、锁存器及缓存器组成。模块工作流程^[16]如下:如图 7,在波特率时钟 CLK 的控制下,起始位检测模块在每个 CLK 时钟上升沿检测信号电平值,当逻辑电平值为由 1 变为 0 时,标志 RS-232 数据帧包到来,从下一个时钟开始,计数器开始计数,依次读取 10 位数据,并将前 8 位依次存入串并转换模块转换成 8 位并行数据,再经过锁存器与缓存器调整,将数据发出。

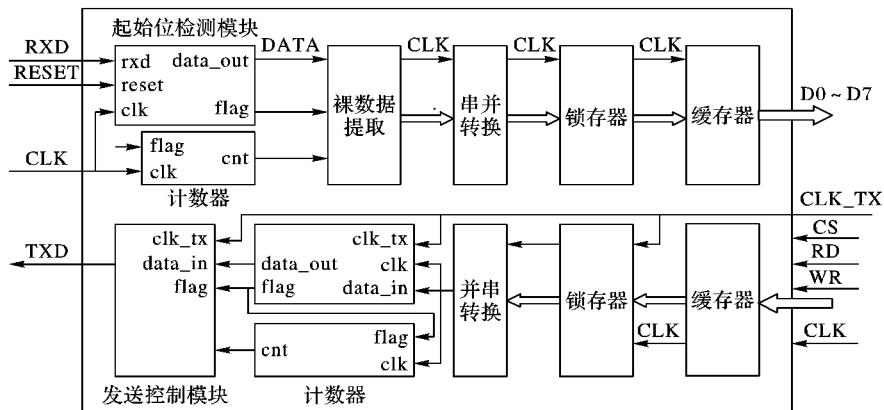


图7 接收与发送模块信号流程

发送模块与接收模块原理类似,过程相反。如图 7,8 位并行数据在 CLK 控制下进来经缓存器与锁存器后进行串

转换形成串行数据,然后在计数器控制下进行打包,最后发送经 TXD 发送。需要注意的是,帧包被协议解析模块解析后,

发送出连续的4帧8位并行数据,前面加缓存及锁存即可将连续数据分开,为帧包形成提供缓冲。

3.3 协议解码模块设计

协议解码模块由两个FIFO及一个解码状态机来实现。如图8,在波特率时钟 CLK_BPS 控制下,当读使能信号 WR_EN = 1 时,数据依次写入到8位FIFO中,读取完毕后,WR_EN

EN = 0,同时使状态标志位 flag_start = 1,通知解码状态机准备接收数据。协议解码模块在时钟 CLK_BPS 控制下,读取FIFO传过来的数据,进行解码。32位命令 COMMAND 及8位相机载荷地址信息 DEV_ADDR。解码出来的命令信息输出到32位FIFO进行缓冲及发送控制。发送读使能信号 RD_EN 通知下一模块接收数据。

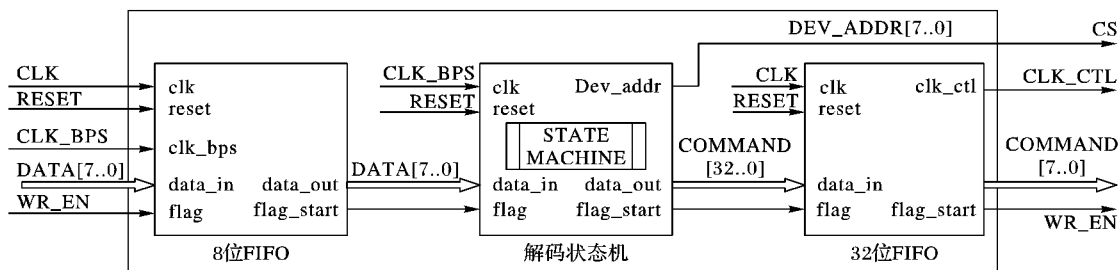


图8 解码模块信号流程

图9为解码模块状态机结构图,此状态机为一个8状态的有限状态机,它的同步时钟是系统时钟 CLK_BPS,输入信号为FIFO中传进来的8位数据信息 DATA 和复位信号 reset,输出信号为协议帧包中的设备地址信息 DEV_ADDR 与命令数据信息 COMMAND。状态的转移只能在同步时钟 CLK_BPS 的上升沿发生,往哪个状态转移则取决于目前所在的状态及和计数器的数值。

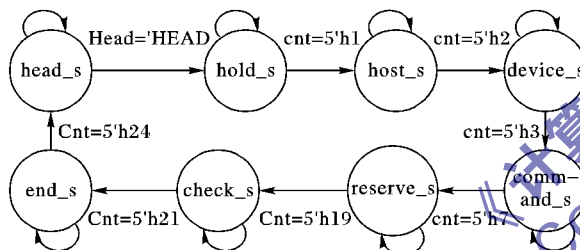


图9 解码模块状态机

状态机开始处于 head_s 状态。每个时钟上升沿来临时, FIFO 中数据被依次送入 head_s 状态下32位缓存中,同时将32位 head_s 缓存与目标同步头 ('HEAD = 32'h7CD215D8') 进行比较:若相等,则状态机从 head_s 状态转移到 hold_s 状态,同时设置计数器,按照协议帧包定义的每个部分的数据长度,将协议帧包各部分数据进行抽取与检测,同时控制状态的转移。状态机进入 host_s 后,提出数据得到 host 上位机信息。处于 device_s 后,提出数据得到帧包发送目标设备的信息或者设备编号,从而确定 command_s 状态下命令输出的具体地址。当状态转移到 end_s 状态后,标志着一帧数据的结束,同时状态转移到起始状态 head_s 等待接收下一个帧包。经过上述状态机的一个循环,从星载计算机发送过来的数据帧包就被解码出来,并判断出控制目标设备信息,同时将命令裸数据发送到相应的发送模块,进行处理。

4 实验分析

载荷分控单元设计完成后,将工程烧到 FPGA 中,用 SignalTap II 进行实时信号探测,探测结果显示设计达到预期目标。

4.1 接收模块时序图

如图10所示,RS-232_HOST_RX 波形为从星载计算机端传来的串行数据,波特率为9600。当 RS232_HOST_RX 信号下降沿来临时,bps_start_r 信号检测到起始位并置1。在时钟控制信号 clk_bps 与计数器 num 控制下,起始位后8位被依次存入8位缓存 temp 中,当 num = 8 时,bps_start 信号置0,同时等待 RS232_HOST_RX 信号下一个起始位到来。同时,可以看出模块输出信号 rx_data_r 为8位并行信号(十六进制表示 7C、D2 等)与多串口控制协议同步头一致。

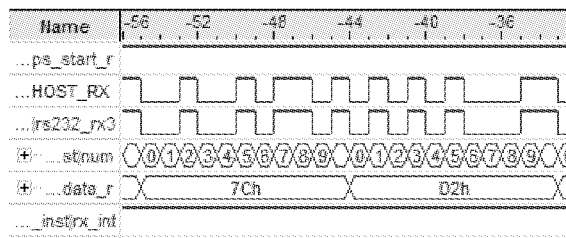


图10 接收模块信号时序图

4.2 协议解码模块时序图

如图11所示,在时钟 CLK_BPS 的控制下。8位并行数据 rx_data 先被读入缓存 buffer,然后送入状态机进行解码。可以看到,当状态机起始状态32位缓存 head = 32'h7CD215D8 时,数据流进入状态机,同时每个状态转以后,都有相应的标志信号位标志状态,最后根据设备信息号,将帧包内命令输出到一个32位缓存中,准备发送给相应的设备。图中 command 信号即为从帧包中提取16位命令数据 16'hABCDABCD。

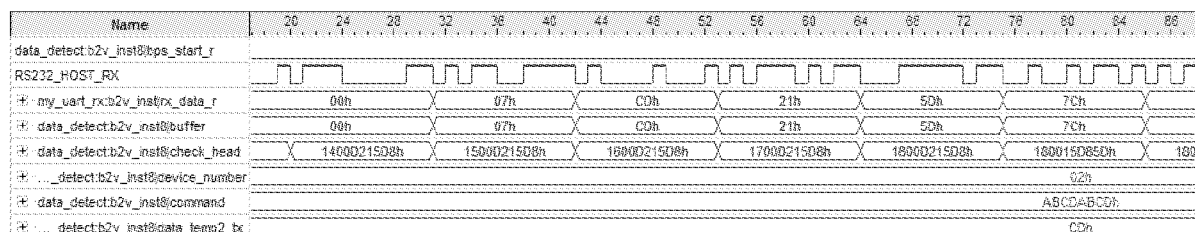


图11 协议解码模块时序图

4.3 发送模块时序图

如图 12 所示,协议解析模块输入连续 4 帧的 8 位解析数据 rx_data,在输入控制时钟 rx_int 的控制下,依次将 4 帧数据输入缓存 tx_data1 ~ tx_data4,信号 neg_rx_int 控制时钟 rx_int

的最后一个下降沿,标志接收数据的完成与数据发送的开始。在信号 clk_bps 控制下,4 帧 8 位并行数据分别按串口协议加上头尾校验位后打包,依次转换成串行数据发送出去。图 12 中 rs232_tx_r 即为打包后发送的串口命令。

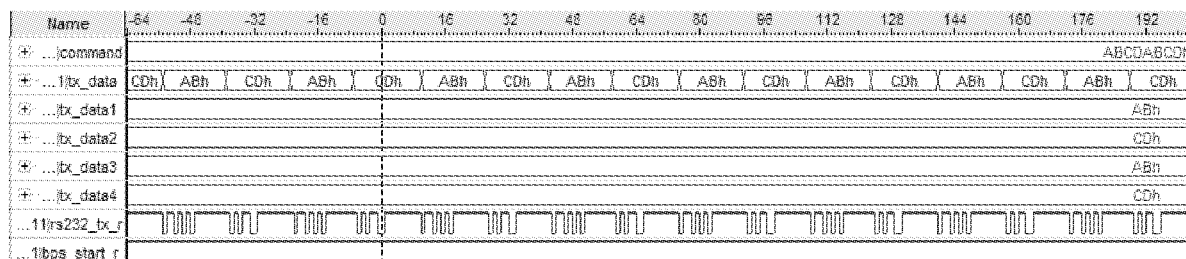


图 12 发送模块时序图

5 结语

本文在构建小卫星模拟智能观测系统基础上提出的多路串行通信控制系统,在功能上解决了星载计算机对多路相机载荷管理与控制的问题;提出了多路串行通信协议,便于提高通信两端信息交互效率。系统在设计上具有相对独立性,同时也可作为子模块集成到整个小卫星模拟系统中,为小卫星观测系统智能化提供性能验证支持。另外,系统在设计思路上采用 Host_Target 设计模式,软硬结合交叉开发,各子系统具有功能关联与研发独立性,灵活性高,为系统进一步的完善与模块功能的扩展打下基础。

参考文献:

- [1] 蔡亚梅, 宁勇, 汪立萍, 等. 美国空间快响小卫星载荷技术现状与分析[J]. 航天电子对抗, 2012, 28(6): 28-31.
- [2] TIAN S Q, YIN Z B, YAN J. Design and implementation of a low-cost fault-tolerant on-board computer for micro-satellite [C]// Proceedings of 7th International Conference on Software Testing, Verification and Validation. Washington, DC: IEEE Computer Society, 2012: 129-134.
- [3] 王海涛, 杨聪伟. 卫星综合电子系统研究与展望 [C]// 中国第二届卫星导航年会电子文集. 上海, 中国卫星导航学术年会组委会, 2011: 1-6.
- [4] 徐伟, 谭超, 王绍举, 等. 基于 TSC695F 的高可靠航天相机控制器设计[J]. 长春理工大学学报: 自然科学版, 2011, 34(3): 28-32.
- [5] LI J F, CHAI M G. Design of 1553B avionics bus interface chip based on FPGA [C]// Proceedings of International Conference on Electronics, Communications and Control. Washington, DC: IEEE Computer Society, 2011: 3642-3645.
- [6] 张建东, 吴勇, 高晓光, 等. 基于 DSPN 的综合航电总线系统的性能评[J]. 西北工业大学学报, 2005, 23(4): 244-248.
- [7] 刘萍先, 曹清华, 赵筱媛, 等. 基于 RS232/485 协议的多机通信系统的设计[J]. 南昌工程学院学报, 2008, 27(6): 16-19.
- [8] 阮颀, 黄培中, 卫炎. 多路异步串行通信系统在光纤陀螺组合中的设计与实现[J]. 电子技术应用, 2004(8): 67-69.
- [9] 喻少林, 韩波, 李平, 等. 基于 FPGA 的飞控计算机多路串行通信设计[J]. 计算机工程, 2011, 37(20): 242-245.
- [10] 刘国栋. 基于 ARM 的多路串行和以太网通信技术的研究与应用[D]. 北京: 北京交通大学, 2007.
- [11] ZHAO H M, ZHENG X F, LIU W Y. Intelligent traffic control system based on DSP and Nios II [C]// Proceedings of International Asia Conference on Informatics in Control, Automation and Robotics. Washington, DC: IEEE Computer Society, 2009: 90-94.
- [12] 文治洪, 胡文东, 李晓京, 等. 基于 PL2303 的 USB 接口设计[J]. 电子设计工程, 2010, 18(1): 32-34.
- [13] LIM J Y, KIM G, O I-S, et al. A CSIC implementation with POC-SAG decoder and microcontroller for paging applications [C]// ASP-DAC '95: Proceedings of the 1995 Asia and South Pacific Design Automation Conference. New York: ACM, 1995: 107-112.
- [14] MAHAT N F. Design of a 9-bit UART module based on Verilog HDL [C]// Proceedings of 10th IEEE International Conference on Semiconductor Electronics. Washington, DC: IEEE Computer Society, 2012: 570-573.
- [15] 廖文婷. 基于 FPGA 的嵌入式同步控制系统设计[D]. 成都: 西南交通大学, 2010.
- [16] FANG Y D, CHEN X J. Design and simulation of UART serial communication module based on VHDL [C]// Proceedings of the Third International Workshop on Intelligent Systems and Applications. Washington, DC: IEEE Computer Society, 2011: 1-4.
- [13] MACHADO L, SCHIRRU R. The ant-Q algorithm applied to the nuclear reload problem [J]. Annals of Nuclear Energy, 2002, 29(12): 1455-1470.
- [14] MENG X P, SHEN Z Y, YUE Y, et al. An improvement to the coordination method of ant colony algorithm [C]// Proceedings of the 2012 International Conference on Computer Distributed Control and Intelligent Environmental Monitoring. Piscataway: IEEE, 2012: 114-117.
- [15] TSENG S-P, TSAI C-W, CHIANG M-C, et al. A fast ant colony optimization for traveling salesman problem [C]// Proceedings of the 2010 IEEE Congress on Evolutionary Computation. Piscataway: IEEE, 2010: 1-6.

(上接第 3452 页)

- [10] TIAN Y, SHEN H, NG K-W. Improving reliability for application-layer multicast overlays [J]. IEEE Transactions on Parallel and Distributed Systems, 2010, 21(8): 1103-1116.
- [11] KOBAYASHI M, NAKAYAMA H, ANSARI N, et al. Robust and efficient stream delivery for application layer multicasting in heterogeneous networks [J]. IEEE Transactions on Multimedia, 2009, 11(1): 166-176.
- [12] DORIGO M, MANIEZZO V, COLORNI A. Ant system: optimization by a colony of cooperating agents [J]. IEEE Transactions on Systems, Man, and Cybernetics, Part B: Cybernetics, 1996, 26(1): 29-41.