

文章编号: 1001-9081(2012)11-3259-03

doi: 10.3724/SP.J.1087.2012.03259

基于 FPGA 的高速采样缓存系统的设计与实现

郑争兵*

(陕西理工学院 物理与电信工程学院, 陕西 汉中 723003)

(* 通信作者电子邮箱 snutdevotion@163.com)

摘要:为了提高高速数据采集系统的实时性,提出一种基于 FPGA + DSP 的嵌入式通用硬件结构。在该结构中,利用 FPGA 设计一种新型的高速采样缓存器作为高速 A/D 和高性能 DSP 之间数据通道,实现高速数据流的分流和降速。高速采样缓存器采用 Quartus II 9.0 软件提供的软核双时钟 FIFO 构成乒乓操作结构,在 DSP 的外部存储器接口(EMIFA)接口的控制下,完成高速 A/D 的数据流的写入和读出。测试结果表明:在读写时钟相差较大的情况下,高速采样缓存器可以节省读取 A/D 采样数据时间,为 DSP 提供充足的信号处理时间,提高了整个系统的实时性能。

关键词: 双时钟先进先出; 现场可编程门阵列; 高速采样; 乒乓操作; 外部存储器接口

中图分类号: TN92 **文献标志码:** A

Design and implementation of high-speed sampling buffer system based on FPGA

ZHENG Zheng-bing*

(School of Physics and Telecommunication Engineering, Shaanxi University of Technology, Hanzhong Shaanxi 723003, China)

Abstract: An embedded general-purpose hardware structure based on FPGA + DSP was proposed in order to improve the real-time performance of the high-speed data acquisition system. In the structure, a new high speed sampling buffer as the data channel between the high-speed A/D and DSP was designed in FPGA and was used to realize the diversion and deceleration of high-speed data stream. The high-speed sampling buffer was based on the ping-pong operation structure of soft-core dual-clock First In First Out (FIFO) provided by Quartus II 9.0. Under the control of the External Memory Interface A (EMIFA) interface of the DSP, it completed write-and-read operations of high-speed A/D data streams. The test results indicate that: in the case of large difference between the value of the read-and-write clock, high speed sampling buffer can save the time of the A/D sampling data to provide sufficient signal processing time for DSP, so the real-time performance of the entire system is improved.

Key words: dual-clock First In First Out (FIFO); Field-Programmable Gate Array (FPGA); high-speed sampling; ping-pong operation; EMIFA

0 引言

高速数据采集电路作为数字信号处理系统的信号调理前端,已经被广泛应用于雷达、导航和软件无线电等领域。随着高速模拟数字转换器(Analog to Digital Converter, ADC)芯片技术的发展,ADC 输出高速数据流必定会给后续处理系统的设计带来一定的难度。从高速 ADC 芯片数据输出速率与数据接收单元的速率有效匹配方面考虑,若用数字信号处理器(Digital Signal Processor, DSP)直接对采样数据进行接收,必然造成 DSP 无法实时地处理 ADC 芯片海量采样数据,使得 DSP 的接收传输接口带宽成为整个数据采集系统的瓶颈^[1-2]。从数据存储方面考虑,必然会增加对海量采样数据存储的难度。如果缺少对采样数据缓存,DSP 必然会处于连续的读数据状态而占用整个 DSP 处理器资源,导致对数据的其他处理并不能有效进行,从而严重降低系统的吞吐量。另外,系统一旦需要更换或升级 ADC 芯片,必须重新设计 ADC 和 DSP 之间的数据传输接口,这样不利于系统模块的移植和扩展。

为了避免数据处理不及时造成数据丢失,需要进一步提高系统实时性,因此提出了一种高速 A/D + 大容量现场可编程门阵列(Field Programmable Gate Array, FPGA) + 高速 DSP 的嵌入式高速数据采集系统。模数转换器 ADC 进行高速数

据采集,FPGA 作为 A/D 与 DSP 之间数据传输桥梁,实现对高速 ADC 芯片的控制调度和采集数据的存储,使数据采集系统的功能实现具有较高的可扩展性和灵活性^[3-5]。DSP 通过中断方式访问前端采集通道,对采集的数据进行实时处理,提高了 DSP 的处理能力。整个系统充分发挥了高性能 DSP 和 FPGA 各自的优势,系统具有较好的通用性和可重配置性^[6]。

1 高速数据采集系统方案

高速数据采集系统主要由高速 ADC 和嵌入式处理系统决定其性能。ADC 芯片的选型依据不同具体的应用领域而定,而嵌入式处理系统相对较固定,因此选择高性能的处理器可以保证处理系统移植和升级,具体的数据采集系统硬件方案如图 1 所示。

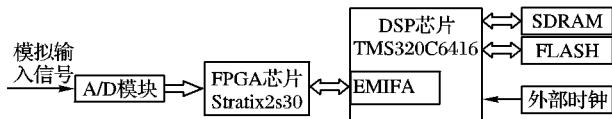


图 1 数据采集系统硬件框图

系统选择 TI 公司的高性能定点 DSP 器件 TMS320C6416 和 Altera 公司的高端 Stratix II FPGA 器件 Stratix2s30F484C5(简称 Stratix2s30)。TMS320C6416 芯片是基于目前业界性能最高的定

点 DSP 内核 TMS320C64x 设计的,在处理速度、功耗、程序存储器和数据存储器的容量、片内的资源方面具有独到的优势。Stratix2s30 拥有一种创新的自适应逻辑模块,1 369 728 b RAM、16 个 DSP 块、6 个锁相环等硬件资源,作为数据缓存通道,实现数据的缓冲。在算法处理需要方面,Stratix2s30 也可以作为 TMS320C6416 协处理器,辅助 DSP 芯片完成一些计算密集型的算法。在本系统中,模拟输入信号经过 A/D 模块数字化后,数字信号由 FPGA 和 DSP 芯片完成后续处理。FPGA 主要用来对 ADC 芯片采集的高速数据流进行接收,并将所得数据流进行分流缓存,采样数据通过与外部存储器接口(External Memory Interface A, EMIFA)接口传输至 DSP 内部,最后由 DSP 完成数据处理后将数据传递给上位机系统。

由于 FPGA 中采样输出数据时钟和 DSP 的 EMIFA 接口时钟不相同,采样数据输出速率与 DSP 的 EMIFA 接口数据传输速率必然无法匹配,如果不采用相应的手段进行解决,数据可能会发生重复写入或者丢失的现象。异步先进先出(First In First Out, FIFO)器件可以很好地解决跨时钟域的数据传输问题,因此利用 QuartusII9.0 的器件类库提供的宏函数双时钟 FIFO 设计异步 FIFO,采用乒乓操作实现高速数据的缓存,DSP 利用缓存间隙时间完成一批数据的处理^[7-8]。

2 采样缓存模块设计

2.1 双时钟 FIFO 模块

采用双时钟 FIFO 来匹配不同的读写数据速率是一个简单而有效的方法^[9]。根据应用需求双时钟 FIFO 可以被灵活地设计为不同速率、不同容量的数字系统,系统接口电路简洁,移植或升级方便。双时钟 FIFO 模块具有两个特点:数据先进先出;读、写数据部分相互独立。双时钟 FIFO 模型如图 2 所示。读、写时钟,读、写数据宽度和数据深度可以灵活地配置,读、写控制总线不占用系统地址资源,控制简单。读、写请求信号分别由从 FIFO 读取数据或者向 FIFO 写入数据的外部器件提供。当写使能 wrreq 有效时,数据在写时钟 wrclk 的上升沿被写入 FIFO;当读使能 rdreq 有效时,数据在读时钟的上升沿从 FIFO 中读出,先写入的数据先读出。满信号 wrfull 作为 FIFO 状态标志信号用于控制数据的读写。当 FIFO 被写满时向外发出满信号,通知数据发送方不要再写入数据,同时通知数据接收方读取数据。

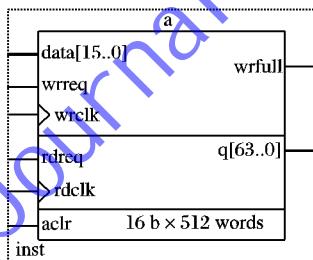


图 2 双时钟 FIFO 模型

2.2 乒乓 FIFO 的设计

合理设计 FIFO 的数据端口可以有效地提高系统实时性能。基于前端 ADC 的要求,大多 ADC 芯片输出的数据位宽不超过 16 b;基于后端 DSP 芯片 TMS320C6416 的要求,最佳的数据宽度是 64 b,因此单个 FIFO 结构设计输入为 16 b、输出为 64 b 的双时钟 FIFO。

在 ADC 采用频率不变的情况下,TMS320C6416 只需要 1/4 的速率取走 FIFO 数据,这种串并变换结构降低了数据的读取时间,增加了 DSP 读取数据的吞吐率,提高系统实时处理时间。另外,该结构具有一定的灵活性。如果 ADC 芯片输

出数据低于 16 b,可以将多余的高位接地,保留数据的完整性,利于 DSP 对数据的预处理。

乒乓操作是一种常常用于数据流控制的处理技巧,通过乒乓操作可以实现低速模块处理高速数据^[10]。利用上述结构的 FIFO 构成乒乓式结构,具体的电路如图 3 所示。在一定的节拍控制下,TMS320C6416 首先对第一个 FIFO 进行写操作,当第一个 FIFO 写满之后,切换到第二个 FIFO 进行写操作,同时对第一个 FIFO 进行读操作;在第二个 FIFO 写满之前,第一个 FIFO 早已读取完毕,此时再次对第一个 FIFO 进行写操作,同时对第二个 FIFO 进行读操作,两个 FIFO 按照一定节拍在读、写之间转换,整个控制过程如此循环,周而复始。

乒乓切换的控制信号产生必须满足的一定的时序要求。从图 3 可以看到,两个双时钟 FIFO 读、写时钟和复位信号 reset 相同;读时能信号 wren 和写信号 rden 逻辑取反,表明不能同时读、写两个 FIFO;满信号相与得到共同满信号 full,表明其中一个 FIFO 写满后,另一个 FIFO 必须进行读操作。

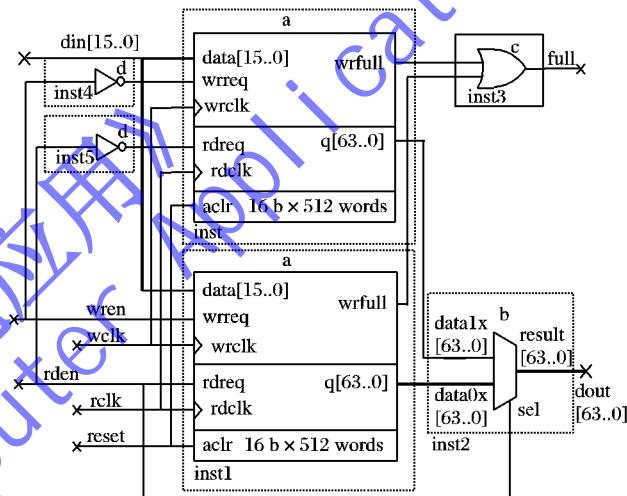


图 3 基于乒乓操作的双时钟 FIFO 缓存器电路

2.3 DSP 与采样缓存模块接口设计

DSP 芯片 TMS320C6416 通过 EMIFA 接口与采样缓冲模块通信,具体实现电路如图 4 所示。采用一个乒乓控制模块灵活地设置 FIFO 的读、写端口,在乒乓采样缓存器和 DSP 之间实现无缝的数据传输控制。

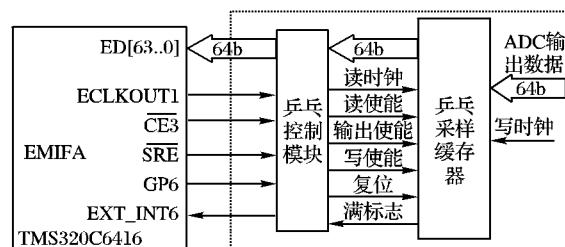


图 4 EMIFA 和 FPGA 的接口

乒乓控制模块主要由简单的组合逻辑实现。乒乓采样缓存器的 64 b 数据线与 EMIFA 的 64 b 数据线直接相连;读时钟直接与 DSP 的 EMIFA 时钟信号 ECLKOUT1 相连;CE3 作为片选信号,将乒乓采样缓存器映射到 TMs320C6416 的 CE3 存储空间(大小 8 MB);通用输入/输出信号 GP6 与乒乓采样缓存器的异步清零信号相连;CE3 与 SRE 通过或非逻辑产生乒乓缓存器的读、写使能信号和输出使能信号;缓存器的满信号与中断触发信号 EXT_INT6 相连。当两个乒乓缓存 FIFO 有一个写满时,触发 DSP 片上增强型存储器访问(Enhanced Direct Memory Access, EDMA)读取 FIFO 中一定深度数据,数据传输完毕后触发 EDMA 中断,对采集所得数据进行处理^[11-12]。

3 测试结果及分析

3.1 性能指标

高速采样缓冲器在乒乓节拍控制下,两个 FIFO 均不必频繁的转换工作状态,而且由于对同一块 FIFO 的读操作和写操作在时间上是隔离开的,不会发生读写碰撞现象。节拍时间中的冗余量,为 DSP 提供信号处理的时间,是系统实时性能的关键时间。乒乓节拍周期长度由 FIFO 深度和宽度事先计算出来。假设 FIFO 写时钟为 T_{wclk} , 写数据宽度 16 b, 深度 512; 读时钟为 T_{rclk} , 读数据宽度 64 b, 深度 128, 则乒乓节拍周期即为写 FIFO 需要的时间 T_w :

$$T_w = T_{wclk} \times 512 \quad (1)$$

读 FIFO 需要的时间 T_r :

$$T_r = T_{rclk} \times 128 \quad (2)$$

节拍周期的冗余时间量 T :

$$T = T_w - T_r = T_{wclk} \times 512 - T_{rclk} \times 128 \quad (3)$$

读时钟为 T_{rclk} 和写时钟 T_{wclk} 值确定节拍周期的冗余时间量 T 。写时钟 T_{wclk} 由 A/D 芯片采样频率决定。读时钟为 T_{rclk} 由 DSP 的 EMIFA 接口的输出时钟 AECLKOUT1 决定, 该时钟可以配置为外部输入时钟、CPU/4、CPU/6 时钟频率。当配置为 CPU/4 时, 可以 T_{rclk} 为 150 MHz, 在冗余时间量 $T = 0$, 即 DSP 不进行任何数据处理时, 并行 A/D 芯片采样频率可以达到 600 MHz, 完全满足高速采集系统的要求。

3.2 测试结果

Stratix2s30 片内自带 M-RAM 模块, 在实现乒乓 FIFO 时, 在开发工具 QuartusII9.0 中使用 M-RAM 模块定制双时钟 FIFO, 可以得到硬件性能上的优化。对采用乒乓操作机制的缓存器模块进行仿真, 其波形如图 5 所示。其中, ADC 芯片连续采样输出的高速数据 din 速率为 100 MHz, EMIFA 的读时钟为 150 MHz。节拍控制信号 wren 和 rden 控制着两块双时钟 FIFO 之间的读写切换, 两块 FIFO 给出满信号 full1 和 full2。

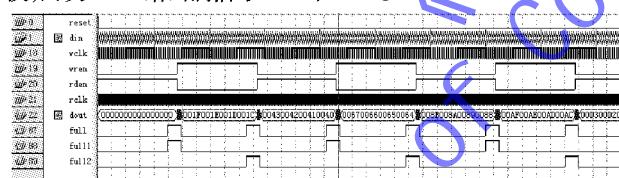


图 5 基于乒乓操作的双时钟 FIFO 缓存器时序图

分析结果可知, 当 wren 为低电平, rden 为高电平时, 数据写入第一个 FIFO, 数据从第二个 FIFO 读出; 当 wren 为高电

(上接第 3253 页)

参考文献:

- [1] 阎春利, 于建国. 林火巡护车辆横向动力学特性分析 [J]. 东北林业大学学报, 2009, 37(8): 57–58.
- [2] 李惺颖. 基于 RIA 架构的森林防火 GIS 应用系统研究 [D]. 北京: 北京林业大学, 2010.
- [3] 魏国良, 游玮. GPS 技术在森林防火中的应用现状及前景展望 [J]. 陕西林业科技, 2009(1): 121–123.
- [4] 周俊, 张鹏, 宋百华. 农业机械导航中的 GPS 定位误差分析与建模 [J]. 农业机械学报, 2010, 41(4): 189–193.
- [5] 赵黎明, 刘贺平, 张冰. 自动化码头叉车 GPS 定位与控制设计 [J]. 自动化仪表, 2011(3): 76–79.
- [6] 朱留军. 车辆导航系统中 GPS/DR/MM 组合定位技术的研究 [D]. 葫芦岛: 辽宁工程技术大学, 2009.
- [7] 于建国, 宫俊凤. 全地形林火地面巡护扑救车辆越障性研究 [J]. 林业机械与木工设备, 2008, 36(5): 13–14.

平, rden 为低电平时, 数据写入第二个 FIFO, 数据从第一个 FIFO 读出。在写满其中一个时 FIFO, 产生上升沿读中断, 数据读取时间非常短, 冗余时间量 T 为满信号 full 为低电平的时间间隔, 计算得到 $4.3 \mu s$, 占整个乒乓节拍控制时间的 83%。可见乒乓缓冲器通过接口带宽的改变和分流, 可以节省读取 ADC 采样数据的时间, 为后续数字器件 DSP 实时处理数据提供了充足的时间, 满足系统的实时性能。在 DSP 实时处理要求一定的情况下, 可以满足更高速率 ADC 采样系统。

4 结语

随着 FPGA 性能的大幅度提高, 高速数据采集系统的设计与实现也愈发灵活高效。本文以高性能 FPGA 作为高速 ADC 和 DSP 的接口桥梁, 设计了高速数据采集硬件平台。提出了一种新型的存储器设计思想, 利用 Altera 公司提供软核模块双时钟 FIFO 设计乒乓缓冲器结构, 可以通过软件的方式灵活地改变参数满足不同应用场合的需要。该结构能够解决高速数据采集通道数据容量大、实时性要求高的问题, 可以有效地移植到其他高速采集系统。

参考文献:

- [1] 武晓冬, 戴波. 基于 FIFO 的高速 A/D 和 DSP 接口设计 [J]. 北京石油化工学院学报, 2006, 14(2): 26–27.
- [2] 贺玺, 杨述斌, 曹珩, 等. 基于 DSP 和 FIFO 信号采集系统硬件设计及实现 [J]. 武汉工程大学学报, 2011, 33(1): 79–80.
- [3] 高迎慧, 刘宾, 王佳, 等. 基于 DSP 和 FPGA 的高速数据采集处理系统 [J]. 仪表技术与传感器, 2011(2): 66–67.
- [4] 郑争兵. 开放式通信教学实验系统设计 [J]. 实验室研究与探索, 2012, 31(3): 55–58.
- [5] 陈明, 宋宝, 唐小琦. 基于 DSP 和 FPGA 的网络转换网关 [J]. 计算机应用, 2011, 31(10): 2617–2618.
- [6] 闫大伟, 吴军, 向建军. 基于 FPGA + DSP 的雷达信号处理模块的设计 [J]. 电子技术应用, 2010, 36(9): 61–62.
- [7] 黄忠朝, 赵玉前. 一种实现高速异步 FIFO 的 FPGA 方法 [J]. 计算机工程与应用, 2010, 46(3): 13–14.
- [8] 滕明晖, 杨瑞峰. 基于 FPGA 的高速大容量异步 FIFO 的实现 [J]. 电子测试, 2010(9): 48–49.
- [9] 于祥凤, 刘学斌, 胡炳梁, 等. 基于 FPGA 的高速数据存储系统中 FIFO 控制的设计 [J]. 核电子学与探测技术, 2010, 30(1): 59–60.
- [10] 林辉, 苏振强. 一种基于 VHDL 的乒乓操作控制法的研究 [J]. 电子测量技术, 2008, 31(9): 170–171.
- [11] 郑争兵. 基于 DSP 的串行通信接口设计 [J]. 电子质量, 2008(7): 13–15.
- [12] 季方慧, 王飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用 [M]. 2 版. 北京: 电子工业出版社, 2003.

- [8] 马永财, 于建国. 全地形林火地面巡护与扑救设备的研究 [J]. 林业机械与木工设备, 2008(9): 21–22.
- [9] 南春丽, 顾樱花, 李令举. 汽车无线电导向行驶系统 [J]. 汽车电气, 2004(6): 1–3.
- [10] 陈勤. 林火扑救优效组合技术研究 [D]. 北京: 北京林业大学, 2007.
- [11] 李本玉, 高伟, 胡晓. GPS 实时动态定位技术的发展与应用研究 [J]. 矿山测量, 2009(4): 1–9.
- [12] 赵娜, 胡彩波, 潘颖, 等. GPS 辅助定位技术研究现状及分析 [J]. 全球定位系统, 2009, 34(2): 13–15.
- [13] 籍利平. GPS 跟踪站数据传输技术研究进展与改进设想 [J]. 全球定位系统, 2006, 31(6): 25–28.
- [14] 徐浩. GPS 车辆导航与定位系统的地图匹配算法研究 [D]. 合肥: 中国科技大学, 2007.
- [15] 杨天军, 杨晓光. GPS/GIS 车辆实时监控调度系统研究 [J]. 城市交通, 2004, 2(1): 17–20.